

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-306671

(43)Date of publication of application : 21.11.1995

(51)Int.Cl.

G09G 5/38
G06F 13/28
G06T 1/60
G06T 1/00
H04N 5/907
H04N 5/92

(21)Application number : 06-124352

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 13.05.1994

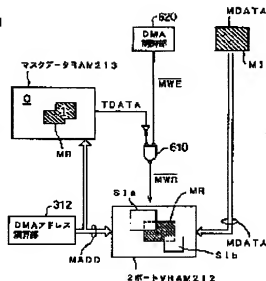
(72)Inventor : TAKEUCHI KESATOSHI

(54) IMAGE DATA TRANSFER DEVICE

(57)Abstract:

PURPOSE: To transfer image data in a display area of optional shape in a dynamic image rapidly to an image memory.

CONSTITUTION: An address at the time of DMA transfer is supplied to a mask data RAM 213 simultaneously with a two-port VRAM 212, so that mask data TDATA corresponding to the dot position of image data is read from the mask data RAM 213. The mask data TDATA is the data of 1 bit/dot representing a dynamic image display area MR, and the level of a write signal/MWR to the two-port VRAM 212 is controlled according to this mask data TDATA. Since the mask data TDATA is updated according to the position and shape of a dynamic image window, a dynamic image of optional shape corresponding to the state of the dynamic image window is transferred to the two-port VRAM 212 and displayed on a display device.



LEGAL STATUS

[Date of request for examination] 31.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3451722

[Date of registration] 18.07.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The frame memory which memorizes the image data of the image which is equipment which transmits image data to a frame memory, and is displayed on a display device, While having an animation image data supply means to supply the animation image data transmitted to said frame memory, and the same image space as said frame memory The mask-data memory which memorizes the mask data in which the animation write-in field where it is assigned to the same address space as said frame memory, and said animation image data should be written in in said frame memory is shown, While supplying the same address to said frame memory and said mask-data memory An image data transfer unit equipped with a data transfer means to transmit said animation image data showing the animation in said animation write-in field to said frame memory according to said mask data read from said mask data.

[Claim 2] It is an image data transfer unit equipped with a write-in signal conditioning means to adjust the level of a write-in signal to be an image data transfer unit according to claim 1, and for said data transfer means permit write-in actuation of said frame memory according to the value of said mask data.

[Claim 3] It is the image data transfer unit with which said write-in signal conditioning means has a means by which the logical operation of said mask data and said write-in signal adjusts the level of said write-in signal for every dot, by being an image data transfer unit according to claim 2, and said mask data consisting of 1-bit data assigned to each dot of the image displayed on said display device.

[Claim 4] An image data transfer unit equipped with a renewal means of mask data to be an image data transfer unit according to claim 1 to 3, and to update said mask data further according to one [the location of the viewing area of said animation, and / at least] renewal of a configuration on the screen of said display device so that said animation write-in field may be in agreement with the viewing area of said animation.

[Claim 5] It is an image data transfer unit according to claim 1 to 4. Said data transfer means It has an address calculation means to compute the address given to said frame memory and said mask-data memory in case said animation image data are transmitted. Said address calculation means The 1st memory which memorizes the offset address value which shows the starting position of said animation write-in field in said frame memory, The 2nd memory which memorizes the addition address value which shows the difference of the address of the adjoining scanning lines in said frame memory, The scanning-line number which shows the sequence of the scanning line specified based on the pulse number of said given Horizontal Synchronizing signal according to the Vertical Synchronizing signal and Horizontal Synchronizing signal which synchronized with said animation image data, In each 1st operation means [which computes a perpendicular address value equal to the value which carried out the multiplication of said addition address value], and scanning-line top in said animation By adding the level counter which generates the level address value which shows the difference of the address from the starting point of each scanning line to each pixel on each scanning line, and said offset address value, said perpendicular address value and said level address value An image data transfer unit equipped with the 2nd operation means which generates the address in said frame memory equivalent to the location of each pixel on each scanning line.

[Claim 6] It is an image data transfer unit according to claim 1 to 5. Said data transfer means Said image data in two or more image data buffers in which specified quantity [every] storage is possible, and said two or more image data buffers An image data transfer unit equipped with a buffer control means to choose at least one image data buffer in which said image data are written, and other at least one image data buffer from which said image data are read in predetermined sequence, and to operate them.

[Claim 7] It is an image data transfer unit according to claim 6. Said buffer control means It is based at least on one side of said Vertical Synchronizing signal and said Horizontal Synchronizing signal. NV of said Vertical Synchronizing signal It has a Rhine increment signal generation means to generate the Rhine increment signal which has a twice as many period as this. Said 1st operation means According to each pulse of said Horizontal Synchronizing signal, it has a means to add the pulse number of said Rhine increment signal generated among the two newest pulses of said Horizontal Synchronizing signal to the value of said scanning-line number. Said NV in said Rhine increment signal generation means By adjusting a value, it is a perpendicularly reducible image data transfer unit about the image expressed by said image data transmitted to said 1st image memory.

[Claim 8] It is an image data transfer unit according to claim 6 or 7. Said buffer control means An input-clock generation means to supply the image data buffer in which the input-clock signal which has a frequency 0 time the NH of the frequency of a Horizontal Synchronizing signal of this is generated, and said image data are written as a write-in synchronizing signal, An output clock generation means to supply the image data buffer from which the

output clock signal which has a frequency HX time (HX is an integer) the frequency of an input-clock signal is generated, and said image data are read as a read-out synchronizing signal. It is a perpendicularly expandable image data transfer unit about the image expressed by said image data read from said two or more image data buffers by adjusting said value of HX in a preparation and said output clock generation means.

[Claim 9] It is an image data transfer unit according to claim 6 to 8. Said buffer control means Furthermore, NH of said Horizontal Synchronizing signal The dot clock signal which has a twice as many frequency as this It has a dot clock generation means to generate as a synchronizing signal at the time of writing said image data read from said two or more image data buffers in said 1st image memory. Said NH in said dot clock generation means It is the image data transfer unit in which expansion and contraction are horizontally possible by adjusting a value about the image expressed by said image data transmitted to said 1st image memory.

[Translation done.]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the image data transfer unit for transmitting image data to a frame memory.

[0002]

[Description of the Prior Art] As an approach of transmitting the image data given from the outside to the frame memory of a personal computer, the so-called DMA (Direct Memory Access) transfer can be used.

[0003] Drawing 29 is the block diagram showing the conventional computer system equipped with the DMA controller for transmitting image data to a Video RAM. The color data Dr by which hue decomposition was carried out in three image memory 51R, 51G, and 51B at red (R), green (G), and blue (B), Dg, and Db It memorizes, respectively. These color data Dr, Dg, and Db For example, it is beforehand made binary with the dither method. DMA controller 55 is the binary color data Dr which acquired the royalty of a control bus 54 from CPU59, and were remembered to be an address bus 53 and a data bus 52 by three image memory 51R, 51G, and 51B, Dg, and Db. It transmits to real time at Video RAMs 56R, 56G, and 56B for a display, respectively. The transmitted binary color data Dr, Dg, and Db are sent to the monitor control section 57 through VRAMs 56R, 56G, and 56B, and make a monitor 58 display an image.

[0004] In the case of a DMA transfer, first, CPU59 sends the display starting address in VRAM56R for R components to DMA controller 55, and starts DMA controller 55. DMA controller 55 acquires the royalty of a bus from CPU59, and is the binary color data Dr of the R component of the 1st line. It transmits to VRAM56R for R components, and the royalty of a bus is returned to CPU59 after that. Next, if CPU59 sends the display starting address which is VRAM56G for G components to DMA controller 55 and starts DMA controller 55, it is the binary color data Dg like R component. A transfer is performed. Furthermore, B component is transmitted similarly. The time of transmitting the image data of the 2nd line — CPU59 — VRAMs 56R, 56G, and 56B — each display starting address of the 2nd line — computing — this — DMA controller 55 — delivery, the binary color data Dr of RGB each color, Dg, and Db A sequential transfer is carried out.

[0005] Thus, the display starting address of VRAMs 56R, 56G, and 56B is computed for every Rhine, it teaches DMA controller 55, DMA controller 55 responds to this, and CPU59 is the color data Dr of each Rhine, Dg, and Db. By carrying out the DMA transfer one by one, the color data for the 1 field are transmitted to VRAM56. In addition, "1 Field" means the image covered by one scan from the upper left corner of a screen to a lower right corner. In many cases, INTARESU (interlaced scanning) of 2:1 is performed, and the image of one frame (one screen) consists of the 2 fields in them. In this way, an animation is displayed on a monitor 58 by carrying out the DMA transfer of the binary color data for the about 60 fields one by one in 1 second.

[0006]

[Problem(s) to be Solved by the Invention] When the video signal by the NTSC (National Television System Committee) method is used, the scan period of the horizontal of one line is 63 microseconds. The time amount which CPU59 calculates a display starting address and is transmitted to DMA controller 55 in the system of drawing 29 on the other hand, the time amount to which DMA controller 55 acquires the royalty of each bus from CPU59, each binary color data Dr and Dg, and Db If the time amount which carries out the DMA transfer of one line is totaled, only the data for the number field can be transmitted in 1 second. This is considered to take the time amount for CPU59 calculating a display starting address, or setting a display starting address as DMA controller 55 beyond the need. Thus, since only the data for the number field were transmitted in 1 second with conventional equipment, it was impossible to have displayed a smooth animation.

[0007] By the way, the personal computer equipped with the multi-window function is beginning to spread quickly with improvement in the speed of CPU in recent years, and large-capacity-izing of memory. There are some which can display an animation on one of the windows especially.

[0008] Drawing 30 is the explanatory view showing the case where still pictures 51a and 51b and Animation MI are displayed on coincidence in a multi-window system. Although it was possible to have carried out the DMA transfer of the animation when the viewing area of Animation MI was a rectangle like drawing 30 (A) conventionally, it was impossible to have transmitted the image data showing the animation in the viewing area which is not a rectangle. Here, the "viewing area" means the field displayed on the screen of a display device. For example, since the viewing area of Animation MI was no longer a rectangle when the field of a still picture 51a became active in drawing 30 (A) and it was repeatedly displayed on Animation MI like drawing 30 (B), it was impossible to have displayed Animation

MI by the DMA transfer.

[0009] This invention is made in order to solve the above-mentioned technical problem in the conventional technique, and it aims at transmitting the image data in the viewing area of the configuration of the arbitration in an animation to a high speed at image memory.

[0010]

[Means for Solving the Problem and its Function] In order to solve an above-mentioned technical problem, the image data transfer unit indicated to claim 1 of this invention While having the frame memory which memorizes the image data of the image displayed on a display device, an animation image data supply means to supply the animation image data transmitted to said frame memory, and the same image space as said frame memory The mask-data memory which memorizes the mask data in which the animation write-in field where it is assigned to the same address space as said frame memory, and said animation image data should be written in said frame memory is shown, While supplying the same address to said frame memory and said mask-data memory According to said mask data read from said mask data, it has a data transfer means to transmit said animation image data showing the animation in said animation write-in field to said frame memory.

[0011] Since mask-data memory has the same image space as a frame memory and is allocated to the same address space, the mask data corresponding to the animation image data which should be written in a frame memory are read from mask-data memory by supplying the same address to mask-data memory and a frame memory. And since animation image data are written in a frame memory according to the mask data in which an animation write-in field is shown, the animation image data in the animation write-in field of the configuration of arbitration can be transmitted to a frame memory. Moreover, since a data transfer means supplies the address at the time of a transfer to a frame memory and animation image data are transmitted, animation image data can be transmitted to a high speed.

[0012] In the image data transfer unit indicated to claim 2, said data transfer means is equipped with a write-in signal conditioning means to adjust the level of the write-in signal for permitting write-in actuation of said frame memory, according to the value of said mask data.

[0013] If the level of a write-in signal is adjusted, compared with the approach of controlling animation image data and the address with much number of bits, the writing of the animation image data to a frame memory can be permitted or forbidden by easy circuitry.

[0014] Said mask data are constituted from the image data transfer unit indicated to claim 3 by the 1-bit data assigned to each dot of the image displayed on said display device. Moreover, said write-in signal conditioning means has a means by which the logical operation of said mask data and said write-in signal adjusts the level of said write-in signal for every dot.

[0015] Such a configuration can adjust the level of a write-in signal easily.

[0016] In the image data transfer unit indicated to claim 4, it has a renewal means of mask data to update said mask data further according to one [the location of the viewing area of said animation, and / at least] renewal of a configuration on the screen of said display device so that said animation write-in field may be in agreement with the viewing area of said animation.

[0017] Since the renewal means of mask data will update mask data if the condition of an animation display field is updated on the screen of a display device, an animation can be displayed according to the condition of the animation display field in the screen of a display device.

[0018] In the image data transfer unit indicated to claim 5, in case said data transfer means transmits said animation image data, it is equipped with an address calculation means to compute the address given to said frame memory and said mask-data memory. Moreover, the 1st memory which memorizes the offset address value said address calculation means indicates said starting position of an animation write-in field in said frame memory to be, The 2nd memory which memorizes the addition address value which shows the difference of the address of the adjoining scanning lines in said frame memory. The scanning-line number which shows the sequence of the scanning line specified based on the pulse number of said given Horizontal Synchronizing signal according to the Vertical Synchronizing signal and Horizontal Synchronizing signal which synchronized with said animation image data. In each 1st operation means [which computes a perpendicular address value equal to the value which carried out the multiplication of said addition address value], and scanning-line top in said animation By adding the level counter which generates the level address value which shows the difference of the address from the starting point of each scanning line to each pixel on each scanning line, and said offset address value, said perpendicular address value and said level address value It has the 2nd operation means which generates the address in said frame memory equivalent to the location of each pixel on each scanning line.

[0019] Since a redirecting address is computed by the arithmetic operation by the 1st operation means and the 2nd operation means, the address of a frame memory is computed by the high speed and becomes possible [transmitting image data to a high speed].

[0020] Said data transfer means is equipped with a buffer control means to choose two or more image data buffers which can specified quantity [every] memorize said image data, at least one image data buffer in which said image data are written in said two or more image data buffers, and other at least one image data buffer from which said image data are read in predetermined sequence, and to operate them, in the image data transfer unit indicated to claim 6.

[0021] If it carries out like this, the timing of an animation image data transfer can be adjusted using two or more image data buffers.

[0022] In the image data transfer unit indicated to claim 7 Said buffer control means is based at least on one side of said Vertical Synchronizing signal and said Horizontal Synchronizing signal. NV of said Vertical Synchronizing signal It has a Rhine increment signal generation means to generate the Rhine increment signal which has a twice as many period as this. Said 1st operation means According to each pulse of said Horizontal Synchronizing signal, it has a means to add the pulse number of said Rhine increment signal generated among the two newest pulses of said Horizontal Synchronizing signal to the value of said scanning-line number. And said NV in said Rhine increment signal generation means By adjusting a value, the image expressed by said image data transmitted to said 1st image memory is perpendicularly reducible.

[0023] In the image data transfer unit indicated to claim 8 An input-clock generation means to supply the image data buffer in which said buffer control means generates the input-clock signal which has a frequency 0 time the NH of the frequency of a Horizontal Synchronizing signal of this, and said image data are written as a write-in synchronizing signal. The output clock signal which has a frequency HX time (HX is an integer) the frequency of an input-clock signal is generated, and it has an output clock generation means to supply the image data buffer from which said image data are read as a read-out synchronizing signal. And the image expressed by said image data read from said two or more image data buffers is perpendicularly expandable by adjusting said value of HX in said output clock generation means.

[0024] With the image data transfer unit indicated to claim 9, said buffer control means is NH of said Horizontal Synchronizing signal further. It has a dot clock generation means to generate as a synchronizing signal at the time of writing said image data read from said two or more image data buffers in the dot clock signal which has a twice as many frequency as this in said 1st image memory. And said NH in said dot clock generation means Expansion and contraction are horizontally possible by adjusting a value in the image expressed by said image data transmitted to said 1st image memory.

[0025]

[Example]

A. System configuration : drawing 1 is the block diagram showing the configuration of the computer system as the 1st example of this invention. This computer system is equipped with the body 200 of a personal computer, the color CRT 300, and the color liquid crystal display (LCD) 302. The body 200 of a personal computer is equipped with the 2 port VRAM 212, mask data RAM 213 and D-A converter (DAC) 214, the LCD driver 216, DMA controller 220, A-D converter 222, the image decoder 224, and the image input terminal 226. [CPU202, RAM204 and ROM206, I/O interface 208, a video accelerator 210] CPU202, RAM204, ROM206, I/O interface 208, the video accelerator 210, and DMA controller 220 are mutually connected by CPU bus 201 among these. Moreover, the video accelerator 210, and the 2 port VRAM 212 and DMA controller 220 are mutually connected with the local bus (an address bus 228, a data bus 229, control bus 230). In addition, DMA controller 220 is also connected with mask data RAM 213 with the local bus.

[0026] In addition, mask data RAM 213, DMA controller 220, A-D converter 222, the image decoder 224, and the image input terminal 226 are mounted on the add-in board or expansion card of one sheet.

[0027] The composite video signal VS from a video player or a television tuner is given to the image input terminal 226. The inputted composite video signal VS is decoded by the image decoder 224, and is decomposed into Vertical Synchronizing signal VSYNC, Horizontal Synchronizing signal HSYNC and the field indication signal FIS containing the brightness component of RGB each color. [a chrominance signal CS (component video signal), and] The field indication signal FIS is a signal which shows the odd number field or the even number field in the case of interface scanning.

[0028] A chrominance signal CS is changed into a digital signal from an analog signal by A-D converter 222, and the digitized image data DS are given to DMA controller 220. DMA controller 220 transmits the image data to the 2 port VRAM 212, after adjusting the number of bits of the digitized image data. The image data read from the 2 port VRAM 212 are given to a color CRT 300 through D-A converter 214, and are given to a liquid crystal display 302 through the LCD driver 216.

[0029] Drawing 2 is the explanatory view showing the configuration of the 2 port VRAM 212 and mask data RAM 213. As shown in drawing 2 (A), the 2 port VRAM 212 is a frame memory which memorizes composite image data with a color [of RGB / each] of 8 bits for every dot of the screen of a display device (a color CRT 300, liquid crystal display 302). Moreover, mask data RAM 213 are memory which memorizes the 1-bit mask data showing the field (it is hereafter called "an animation write-in field") of the 2 port VRAM 212 where an animation is written in for every dot. Moreover, as shown in drawing 2 (B), the 2 port VRAM 212 and mask data RAM 213 are seen from DMA controller 220, and are mapped by the same address space.

[0030] In the field of H level, the DMA transfer of the animation image data is carried out for mask data to the 2 port RAM 212, and a DMA transfer is forbidden for mask data in the field of L level. Consequently, as for the animation part of the field of H level, mask data are displayed on a display device. On the contrary, in the field of L level, an animation is not displayed for mask data, but a background and a still picture are displayed. About actuation of the movie display using mask data, it mentions later.

[0031] Drawing 3 is the block diagram showing the internal configuration of DMA controller 220. DMA controller 220 is equipped with the CPU interface 310, the RAM change-over section 604, the OR gate 606, the address change-over section 608, 3 State OR gate 610, two 3 State buffer circuits 612,614, DMA address-arithmetic sections 312, data output sections 314, DMA control sections 316, the FIFO memory unit 318, and the color tone ready section 320.

[0032] The digital video signal DS given to the color tone ready section 320 is 24 bits (8 bits each of RGB) full color image data. The color tone ready section 320 is a circuit which changes this 24-bit digital video signal DS into the image data of 16 bits (reappearance of 16,770,000 colors is possible at R:GB=5:5:5 bit), 8 bits (reappearance of 60,000 colors is possible at R:GB=3:3:2 bit), 4 bits (reappearance of 16 colors is possible by the color palette), and a triplet (reappearance of eight colors is possible by the color palette) if needed. When changing into the image data of 4 bits or a triplet, binary-ization by the dither method is performed. Moreover, a color palette is formed in the output side of the 2 port VRAM 212. In addition, it is set up by CPU202 according to assignment of an operator into which type of image data it changes. However, below, the case where the color tone ready section 320 outputs 24-bit full color image data (it is called "component image data") as it is explained.

[0033] The FIFO memory unit 318 is stored temporarily at two FIFO memories which build in the image data VD given from the color tone ready section 320, and has the function to adjust the timing at the time of data transfer. The image data VD (=MDATA) outputted from the FIFO memory unit 318 are held by the latch in the data output section 314, and are outputted on the local data bus 229 (drawing 1) through 3 State buffer circuit 614.

[0034] The DMA control section 316 acquires an address bus 228, a data bus 229, and the royalty of a control bus 230 from a video accelerator 210, and transmits the image data MDATA to the 2 port VRAM 212. Under the present circumstances, the DMA address-arithmetic section 312 computes the address, and that address is supplied to the 2 port VRAM 212 through 3 State buffer circuit 612 and an address bus 228.

[0035] The control signal MCONT relevant to a transfer of the image data MDATA contains a DMA request signal / DMARQ, a DMA enabling signal / DMAACK, and a write-in signal / MWR. In addition, in drawing 3, it means that by which the line is drawn on the signal name is negative logic, and the slash "/" is added in front of each signal name into the specification. A DMA request signal / DMARQ is signals with which the DMA control section 316 requires a DMA transfer of a video accelerator 210. A DMA enabling signal / DMAACK is signals with which a video accelerator 210 permits a DMA transfer to the DMA control section 316. A write-in signal / MWR is signals which make data write in the 2 port VRAM 212.

[0036] The signals for which it is exchanged between DMA controller 220 and mask data RAM 213 are Address TADD, mask data TDATA, and the control signal TCONT. The control signal TCONT contains the write-in signal for mask data RAM 213 / TWR, an output enable signal / TOE. In addition, a write-in signal / TWR is outputted from the OR gate 606, and an output enable signal / TOE is outputted from the DMA control section 316.

[0037] The address change-over section 608 is a selector chosen as the address MADD given from the DMA address-arithmetic section 312, and the address TADD which gives one side of the addresses MAINADD given from CPU202 through the CPU interface 310 to mask data RAM 213. The select signal/TCS which directs the change-over in the address change-over section 608 are given from the RAM change-over section 604.

[0038] The RAM change-over section 604 outputs the chip select signal/VCS for permitting the actuation of the write-in port of the 2 port VRAM 212 other than a select signal/TCS mentioned above, and the chip select signal/TCSS for permitting the writing of the mask data to mask data RAM 213. The RAM change-over section 604 has the latch for holding each these signals/TCSes, /VCS, and /TCSS, and holds the level of each signal specified from CPU202 through the CPU interface 310, respectively.

[0039] The OR gate 606 takes the AND (AND) of the negative logic of the chip select signal/TCSS for mask data RAM 213, and the write-in signal / MAINWR given from CPU202 through the CPU interface 310, and generates the write-in signal given to mask data RAM 213 / TWR. In the period of L level, mask data are written for a write-in signal / TWR in mask data RAM 213 so that it may mention later. Although a chip select signal/TCSS serves as L level also in case it writes image data in the 2 port VRAM 212, the write-in signal / MAINWR given from CPU202 at this time are maintained at H level, a write-in signal / TWR serves as H level, and the store of the data to mask data RAM 213 is forbidden. If it puts in another way, a write-in signal / TWR will serve as L level, only when writing mask data in mask data RAM 213, and will permit the writing.

[0040] In case 3 State OR gate 610 transmits image data to the 2 port VRAM 212, it is the gate for carrying out the mask of the write-in signal outputted from the DMA control section 316 / the MWE with mask data TDATA. That is, if mask data TDATA are H level, the write-in signal outputted from the DMA control section 316 / MWE will pass through 3 State OR gate 610 as it is, and will be given to the 2 port VRAM 212 as a write-in signal / MWR. On the other hand, whenever mask data TDATA are L level, the write-in signal outputted from the DMA control section 316 / MWE will be prevented in 3 State OR gate 610, and the write-in signal given to the 2 port VRAM 212 / MWR will be maintained at L level. About the detail of such actuation, it mentions later further.

[0041] In addition, 3 State OR gate 610 and two 3 State buffer circuits 612,614 are maintained at a hi-z state during actuation of a video accelerator 210.

[0042] Drawing 4 is the explanatory view showing how to carry out the DMA transfer of the image data in the field of the configuration of arbitration to the 2 port VRAM 212 using mask data. Usually, the configuration of Animation MI expressed by the image data MDATA is a rectangle. The DMA address-arithmetic section 312 calculated the address of the animation MI of the rectangle in the address space (namely, space corresponding to the screen area of a display device) of the 2 port VRAM 212 for every dot, and has given it to the 2 port VRAM 212. This address MADD is given to mask data RAM 213 at coincidence. Therefore, the mask data TDATA of each dot are read from mask data RAM 213, and are inputted into the OR gate 610 at the same time the image data MDATA showing the rectangular animation MI are given to the 2 port VRAM 212 for every dot.

[0043] The value of the mask data TDATA memorized in mask data RAM 213 is 1 (H level) to the field (animation write-in field) MFR where an animation should be written in the image space of the 2 port VRAM 212, and is 0 (L

level) in fields other than the animation write-in field MR. In addition, since the animation write-in field in the 2 port VRAM 212 is equivalent to the animation display field to which an animation is displayed in a display device, below, all call an animation write-in field and an animation display field an "animation display field."

[0044] The OR gate 610 took the AND (AND) of negative logic with the write-in signal outputted from mask data TDATA and the DMA control section 620 / MWE, and has given the output/MWR to the 2 port VRAM 212. Consequently, when the value of mask data TDATA is 1, the writing of the image data MDATA to the 2 port VRAM is permitted, and when the value of mask data TDATA is 0, the writing of the image data MDATA to the 2 port VRAM 212 is forbidden.

[0045] In the example of drawing 4, the image data of still pictures SIa and SIb are written in the memory area contiguous to the animation display field MR in the 2 port VRAM 212 with the video accelerator 210. If the image in such 2 port VRAM 212 is displayed on a display device, the condition that the animation is displayed behind the window of still pictures SIa and SIb will be observed. Moreover, since the DMA transfer of the animation image data MDATA is carried out to a high speed, the image in the animation display field MR is actually moving.

[0046] If distribution of mask data TDATA is changed, it is possible to transmit alternatively the animation image data MDATA in the animation display field of the configuration of arbitration to the 2 port VRAM 212. In addition, it can also be put in another way as mask data TDATA having the function which carries out the mask of some rectangular animations MI. If the value of Address MADD and distribution of mask data TDATA are changed, it is also possible to change into arbitration the location of the field where an animation is displayed on the screen of a display device. Moreover, it is also possible to carry out variable power of the animation for the scale factor of arbitration to a horizontal direction and a perpendicular direction into the animation display field of the configuration of arbitration so that it may mention later.

[0047] Since he is trying to control the writing to the 2 port VRAM 212 of the image data MDATA by this example by controlling a write-in signal / level of MWR by the OR gate 610, there is an advantage that circuitry is simple. Moreover, since the image data MDATA and Address MADD should just output the rectangular animation MI on a bus like the case where a DMA transfer is carried out, it is not necessary to adjust the image data MDATA and Address MADD according to the configuration of an animation display field. That is, since the processing of a DMA transfer itself is easy, it can realize a high-speed DMA transfer.

[0048] By the way, when an animation and a still picture were combined conventionally, the image memory only for animations was needed for everything but the frame memory for a display. On the other hand, in the computer system by this example, animation image data can be transmitted to a high speed, without needing the image memory only for animations.

[0049] B. Write-in processing of mask data : drawing 5 is the timing chart of write-in actuation of the mask data to mask data RAM 213. The writing of the mask data to mask data RAM 213 is performed at the period (it is hereafter called a "still picture period") when a video accelerator 210 accesses the 2 port VRAM 212. At the time of the writing of mask data, in a still picture period, the output enable signal which the chip select signal/VCS for permitting actuation of the write-in port of the 2 port VRAM 212 are maintained at H level, and the write-in actuation to the 2 port VRAM 212 is forbidden, and is outputted from the DMA control section 316 / TOE is maintained at H level, and it is directed to mask data RAM 213 that it is write-in actuation of data. In addition, since two RAM212,213 is mapped by the same address, write-in actuation of the 2 port VRAM 212 is forbidden by the chip select signal/VCS for preventing that make a mistake in the 2 port VRAM 212, and data are written in, when writing mask data in mask data RAM 213.

[0050] If the select signal/TCS given to the address change-over section 608 (drawing 3) fall to L level, the address MAINADD given from CPU202 will be chosen in the address change-over section 608, and will be given to mask data RAM 213. At this time, the mask data MAINDATA (=TDATA) outputted from CPU202 are given to mask data RAM 213 through the CPU interface 310. Then, a chip select signal/TCSS falls to L level, the OR gate 606 opens, and mask data TDATA are further written in mask data RAM 213 in the period when a write-in signal / TWR was set to L level.

[0051] In addition, in an animation period (DMA transfer period), mask data TDATA are read from mask data RAM 213, and it is used for mask processing of the animation explained by drawing 4.

[0052] As mentioned above, the processing which writes mask data TDATA in mask data RAM 213 is processing performed not by the DMA transfer but by CPU202. Therefore, the 2 port RAM is used for mask data RAM 213, it connects with the CPU bus 201, and you may make it write in the direct mask data TDATA from CPU202.

[0053] Drawing 6 is a flow chart which shows the procedure of an update process of mask data. At step S1, the initial data of mask data is written in the 2 port VRAM 212. They are the mask data in which the thing of the mask data written in here in case Animation MI is displayed as the initial data of mask data for the first time is told to, and a rectangular animation display field is usually shown.

[0054] At step S2, CPU202 supervises whether the condition of an animation window was changed on the screen of a display device. With the animation window, it is an animation display field on a screen, and the same semantics, and the animation write-in field in the image space of the 2 port VRAM 212 is supported. That the condition of an animation window is changed may have changed the vertical relation of the lap of an animation window and a still picture window, when the size and the location of a window of the still picture which laps with an animation window were changed and the own size and own location of an animation window were changed.

[0055] If the condition of an animation window is changed, a chip select signal/VCS will be started by H level in step S3, and the writing to the 2 port VRAM 212 will be forbidden. In step S4, when CPU202 writes new mask data in

mask data RAM 213, SUKUDETA in the MAMASUKU data RAM 213 is updated. At step S5, a chip select signal/VCS is brought down by L level, and the writing of the data to the 2 port VRAM 212 is permitted.

[0056] Thus, if the location and configuration of an animation window are changed when a user changes an animation window and a still picture window on the screen of a display device, mask data will be updated whenever [the]. In addition, the mask-data update process of drawing 6 is realized by ***** in which CPU202 includes a predetermined driver (part which makes hardware connect with application software) program.

[0057] C. The outline of DMA transfer processing of animation image data : drawing 7 is the explanatory view showing the image displayed on the display device (a color CRT 300, liquid crystal display 302). Animation MI is shown behind the window of two still pictures SIa and SIb by this screen. The DMA transfer of the image data of Animation MI is carried out to the 2 port VRAM 212 at a rate of 30 frames per second (60 fields / second). Below, actuation of the DMA transfer processing along the perpendicular direction (on Y1-Y2 line) of drawing 6 and the DMA transfer processing which met horizontally (on X1-X2 line) is explained.

[0058] Drawing 8 is a timing chart which shows actuation of a vertical DMA transfer. First, if CPU202 gives directions of initiation of operation to the DMA control section 316 (drawing 3) (drawing 8 (a)), the DMA control section 316 will output a DMA request signal / DMARQ on a control bus 230. And a DMA enabling signal / DMAACK is given to the DMA control section 316 from a video accelerator 210, and DMA controller 220 acquires the royalty of a local bus 228,229,230.

[0059] On the other hand, if Vertical Synchronizing signal VSYNC is given to DMA controller 220 after directions of a DMA transfer are given from CPU202, DMA controller 220 will be set to an initial state.

[0060] Although the back porch period continues after Vertical Synchronizing signal VSYNC, the detail is omitted in drawing 8. In the effective image period after a back porch period, DMA controller 220 outputs Address MADD (drawing 8 (g)), the image data MDATA (drawing 8 (h)), a write-in signal / MWR (drawing 8 (i)) on a local bus, and, as for the period of L level, a DMA enabling signal / DMAACK (drawing 8 (f)) performs a DMA transfer. Under the present circumstances, the same address as the 2 port VRAM 212 is given to mask data RAM 213, and the mask data TDATA according to the location and configuration of an animation window (drawing 8 (j)) are read from mask data RAM 213. According to these mask data TDATA, mask processing stated by drawing 4 to a write-in signal / MWE is performed. As for the period of H level, a video accelerator 210 uses [a DMA enabling signal / DMAACK] a bus (drawing 8 (k) - (m)).

[0061] Drawing 9 is a timing chart which shows actuation of a horizontal DMA transfer, and shows actuation between one period of Horizontal Synchronizing signal XHSYNC of drawing 8. In addition, this Horizontal Synchronizing signal XHSYNC is a synchronizing signal which specifies the period of 1 level Rhine of the animation image data MDATA which the FIFO memory unit 318 (drawing 3) generates based on 1st Horizontal Synchronizing signal HSYNC given from the image decoder 224 (drawing 1), and are written in the 2 port VRAM 212.

[0062] In drawing 9, the address MADD of a DMA transfer and the image data MDATA are outputted on a local bus at the period when a DMA enabling signal / DMAACK is maintained at L level. However, since the write-in signal with which mask data TDATA are given to the 2 port VRAM 212 between L level / MWR is maintained at H level, the writing of the image data MDATA is forbidden. In the period of H level, a write-in signal / MWR falls [mask data TDATA] to L level for every dot, and the image data MDATA of each dot (RGB data) are written in the 2 port VRAM 212.

[0063] Drawing 10 is a timing chart which shows the detail of the A section (step of mask data TDATA) of drawing 9. Address MADD (= TADD) and the image data MDATA are updated by every 1 on a screen dot (1 pixel) so that drawing 9 may show. Moreover, a write-in signal / MWR falls [mask data TDATA] to L level only in the period of H level, and the image data MDATA are written in the 2 port VRAM 212 according to this.

[0064] As mentioned above, since the same address MADD (= TADD) is given to the 2 port VRAM 212 and mask data TAM213 at the time of a DMA transfer, the mask data TDATA corresponding to the dot location of the image data MDATA on a screen are read. And according to the level of mask data TDATA, the writing of the image data MDATA to the 2 port VRAM 212 is controlled. Moreover, since mask data TDATA are updated according to the location and configuration of an animation window (animation display field) as mentioned above, the animation of the configuration of arbitration can be displayed in the location of the arbitration on a screen.

[0065] D. The modification of the 1st example : instead of controlling the writing of image data by controlling a (1) write-in signal / level of MWR by mask data TDATA, you may make it forbid write-in actuation of the 2 port VRAM 212 by bitwise in the light par bit mode which is a function peculiar to a Video RAM.

[0066] (2) Instead of using mask data TDATA for write-in control of image data, it is also possible to use in order to carry out bit flipping of the image data and to change the color of an animation. Drawing 11 is the explanatory view showing a part of circuitry in the case of carrying out bit flipping of the animation image data. The bit-flipping circuit 615 is equipped with a number equal to the number of bits of image data of EXOR (exclusive OR) circuits, and is established in the latter part of the data output section (refer to drawing 3). Mask data TDATA are given to one input terminal of each EXOR circuit, and the signal of each bit of image data is given to the input terminal of another side. When mask data TDATA are 0, the image data MDATA pass through the bit-flipping circuit 615 as it is, but when mask data TDATA are 1, the value of each bit of the image data MDATA is reversed. Consequently, in the dot of 1, the color of the image data MDATA is changed for the value of mask data TDATA.

[0067] D. The detail of the circuitry in DMA controller 220 : DMA controller 220 shown in drawing 3 has the function which carries out variable power of the image in an animation display field to arbitration to a perpendicular direction and a horizontal direction while having the function to calculate the address at the time of the DMA transfer of

animation image data. Below, the configuration of the circuit relevant to these function and this is explained.

[0068] Drawing 12 is the block diagram showing the internal configuration of the FIFO memory unit 318 shown in drawing 3. As shown in drawing 12 (A), the FIFO memory unit 318 is equipped with the FIFO control section 321 and two FIFO memories 322,324. Moreover, as shown in drawing 12 (B), the FIFO control section 321 has five PLL circuits 325-328,510 and corrugating sections 511. The 1st thru/or 3rd PLL circuit 325-327 is 0 time as many NH as this, twice (NH0+HX), and NH about the frequency of Horizontal Synchronizing signal HSYNC. The doubled signals CLKI, CLK0, and DCLK are generated, respectively. Moreover, the 4th PLL circuit 328 is NV about the frequency of Vertical Synchronizing signal VSYNC. The doubled signal HINC is generated. Generating signal HSYNC+HX to which the 5th PLL circuit 510 doubled the frequency of Horizontal Synchronizing signal HSYNC HX as shown in drawing 12 (C), the corrugating section 511 detects the rising edge, and generates 2nd Horizontal Synchronizing signal XHSYNC. This 2nd Horizontal Synchronizing signal XHSYNC is a synchronizing signal which has Horizontal Synchronizing signal HSYNC HX time the frequency of the 1st. In addition, the set point NH0 in each PLL circuit, (NH0+HX), NH, NV, and HX are set up by CPU202. These PLL circuits 325-328 are circuits for performing zooming of an image, and are later mentioned about the function.

[0069] In addition, two FIFO memories 322,324 have the function as an image data buffer which memorizes the image data of the specified quantity temporarily, and the FIFO control section 321 has the function as an image data buffer control section. Moreover, as for the 2nd PLL circuit 326, the 4th PLL circuit 328 has the function as a Rhine increment signal generation means as a dot clock generation means as an output clock generation means, respectively, as for the 3rd PLL circuit 327, using the 1st PLL circuit 325 as an input-clock generation means. In addition, the 2nd and 4th PLL circuit 326,328 and FIFO memory unit 318 demonstrate cooperatively the function as a variable power means in which variable power is possible for an image perpendicularly. Moreover, the 2nd and 3rd PLL circuit 326,327 demonstrates cooperatively the function as a variable power means in which variable power is horizontally possible for the image expressed by image data.

[0070] As shown in drawing 3, the image data outputted from the FIFO memory unit 318 are outputted on a data bus 229 through the data output section 314. And the DMA control section 316 acquires an address bus 228, a data bus 229, and the royalty of a control bus 230 from a video accelerator 210, and transmits the image data MDATA to the 2 port VRAM 212.

[0071] Drawing 13 is the block diagram showing the internal configuration of the DMA address-arithmetic section 312 in DMA controller 220, the data output section 314, and the DMA control section 316. The data output section 314 is equipped with the latch 364 for holding the component image data VD. In addition, what is necessary is just to have a serial/parallel-conversion machine, in gathering the component image data VD by two or more pixels and outputting on a data bus 229.

[0072] The DMA address-arithmetic section 312 has the offset address storage section 330, the addition address value storage section 332, the perpendicular counter section 334, the level counter section 336, a multiplier 338, and two adders 340,342. A multiplier 338 carries out the multiplication of the addition address value memorized by the addition address value storage section 332 and the counted value of the perpendicularly it is outputted from the perpendicular counter section 334. The 1st adder 340 adds the offset address (it mentions later) and the multiplication result of a multiplier 338 which were beforehand memorized by the offset address storage section 330. The 2nd adder 342 adds the addition result of the 1st adder 340, and the counted value of the level counter section 336. In addition, the output AD 2 of the 2nd adder 342 serves as the address MADD given to VRAM212 at the time of a DMA transfer. The 2nd adder 342 has the tri-state output.

[0073] E. the address arithmetic at the time of data transfer : drawing 14 is the memory map of the 2 port VRAM 212. 1 word of this VRAM212 is 24 bits, and R component, G component, and B component of image data are contained in 1 word. Moreover, 1 pixel on a screen (1 dot) is equivalent to 1 word.

[0074] Drawing 15 is the explanatory view showing the correspondence relation between the room of VRAM212, and a screen. In this drawing, 640 (50h word) and the scanning-line number of a perpendicular range 81 of the number of pixels of the level range 80 of VRAM212 are 199h (= 409). The animation field MPA where the image data of an animation are written in by the DMA transfer is a total of the 4-pixel field which has width of face of 2 pixels horizontally from the starting position of the 2nd pixel perpendicularly horizontally in drawing 15 at the 2nd line as a slash shows, and has width of face of two lines perpendicularly. In addition, an operator specifies the location and size of the animation field MPA on a color CRT 300 or the screen of a color liquid crystal display 302.

[0075] In addition, although the animation field MPA is a rectangular field, as explained in drawing 4, according to distribution of mask data TDATA, only the image data of some fields in this animation field MPA (namely, animation display field MR) are written in the 2 port VRAM 212.

[0076] Drawing 16 is the top view showing the animation field MPA on the screen of a color CRT 300. The room shown in drawing 15 corresponds by the display screen of the color CRT 300 shown in drawing 16, and 1:1.

[0077] Below, since it is easy, DMA transfer processing in case an animation window (animation display field) is the same rectangle as the animation field MPA is explained. It only differs in that fundamental actuation of the DMA transfer processing shown below is also the same as when an animation window is not a rectangle, and the writing to the 2 port VRAM 212 is only controlled by mask data TDATA (refer to drawing 4).

[0078] Moreover, below, an address arithmetic in case interface scanning does not carry out is explained first, and it mentions later about the operation of the address in the case of performing interface scanning.

[0079] Drawing 17 is the block diagram expanding and showing the address-arithmetic section 312. The offset address OFAD memorized by the offset address storage section 330 is the value (51h) of the offset from 0000h of

start addresses to the address (0051h) of the write-in starting position of the animation field MPA in drawing 15 .
 [0080] The address (= 0051h) of a write-in starting position is determined according to the location of the upper left point P1 of the animation field MPA (drawing 16) which the operator specified on the screen. If an operator specifies the animation field MPA, the address (= 0051h) of the write-in starting position where CPU202 is equivalent to the upper left point P1 will be computed, and it will be set as the offset address storage section 330 by making this address (= 0051h) into an offset address OFAD. An operator can set the animation field MPA of the magnitude of arbitration as the location of arbitration on a color CRT 300 or the screen of a color liquid crystal display 302, and an offset address OFAD is set up according to this.

[0081] The addition address ADAD memorized by the addition address value storage section 332 is equal to the number of pixels for the 1 scanning line in room, and is set as 50h in this example.

[0082] The output MUL of a multiplier 338 and the outputs AD1 and AD2 of two adders 340,342 are given by the following arithmetic expression, respectively.

MUL=ADAD×VCNT — (1) AD1=OFAD+MUL — (2) AD2=AD1+HCNT — (3) [0083] If the above-mentioned (1) - (3) type is summarized, the output AD2 of the 2nd adder 342 to each pixel will be given by the following arithmetic expression.

AD2 =(ADAD×VCNT)+OFAD+HCNT — (4) [0084] The perpendicular count VCNT shows the scanning-line number in the animation field MPA. The level count HCNT shows the location measured from the left end point of each scanning line per pixel, and is equivalent to the level address value in this invention. In addition, the output MUL of a multiplier 338 is equivalent to the perpendicular address value in this invention.

[0085] The above-mentioned (4) types are formulas which give the address AD 2 corresponding to the location shown at the perpendicular count VCNT and the level count HCNT. In addition, in this example, since it is ADAD=50h and OFAD=51h, (4) types are rewritten by the following (5) types.

AD2 =(50 h×VCNT)+51 h+HCNT — (5) [0086] Whenever one perpendicular count VCNT increases whenever the DMA transfer for the one scanning line in the animation field MPA (drawing 16) is completed and the DMA transfer of the image data for 1 word of scanning-line top small each same pixel is carried out so that it may mention later, one level count HCNT increases. Consequently, the component image data VD showing the image in the animation field MPA are written in VRAM212 according to the address shown with the above-mentioned formula (5).

[0087] F. Detail actuation of data transfer : drawing 18 is a timing chart which shows the detail of the actuation of a DMA transfer shown in drawing 8 . If a back porch period passes and 2nd Horizontal Synchronizing signal XHSYNC is set to L level in an effective image period, the level counter section 336 will be reset by 0, and it will be in an initiation condition of operation, and count-up of the perpendicular counter section 334 will be started. Here, in order to understand actuation of the perpendicular counter section 334, the internal configuration is explained.

[0088] Drawing 19 is the block diagram showing the related part in the FIFO control section 321 with the internal configuration of the perpendicular counter section 334. The PLL circuit 327 of the FIFO control section 321 is NH about the frequency of Horizontal Synchronizing signal HSYNC given from the image decoder 224. The doubled dot clock signal DCLK is generated. Moreover, other PLL circuits 328 are NV about the frequency of Vertical Synchronizing signal VSYNC. The doubled Rhine increment signal HINC is generated. In case the Rhine increment signal HINC reduces an image perpendicularly so that it may mention later, it is used. Here, a DMA transfer when the frequency of the Rhine increment signal HINC is the same as 2nd Horizontal Synchronizing signal XHSYNC is explained first. Contraction of an image is not performed when the frequency of the Rhine increment signal HINC is the same as 2nd Horizontal Synchronizing signal XHSYNC.

[0089] The perpendicular counter section 334 has the back porch storage section 402, the comparator 404, the back porch counter 406, the perpendicular counter 408, and the latch 410. The back porch storage section 402 memorizes the number BP of the back porches given from CPU202 through the CPU bus. Here, the number BP of the back porches is a pulse number of Horizontal Synchronizing signal HSYNC in a back porch period. 1st Horizontal Synchronizing signal HSYNC is given to the back porch counter 406, and 2nd Horizontal Synchronizing signal XHSYNC is given to latch's 410 clock input terminal. Moreover, the Rhine increment signal HINC is given to the clock input terminal of the perpendicular counter 408. Moreover, Vertical Synchronizing signal VSYNC is given to the reset input terminal of the back porch counter 406 and the perpendicular counter 408. A comparator 404 compares with the counted value BPC of the back porch counter 406 the number BP of the back porches memorized by the back porch storage section 402.

[0090] The output CMP of a comparator 404 serves as H level at the time of BP=BPC, and serves as L level at the time of BP≠BPC. Moreover, the back porch counter 406 is enabling when the output CMP of a comparator 404 is L level, and the perpendicular counter 408 is enabling when CMP is H level.

[0091] If Vertical Synchronizing signal VSYNC is given to the perpendicular counter section 334, the back porch counter 406 and the perpendicular counter 408 will be reset. Since the output CMP of a comparator 404 is L level at this time, the back porch counter 406 is enabling and counts the pulse number of Horizontal Synchronizing signal HSYNC. On the other hand, the perpendicular counter 408 has stopped. It will become BP=BPC if only a number with the pulse of Horizontal Synchronizing signal HSYNC equal to the number BP of the back porches is inputted into the back porch counter 406. Consequently, while the output CMP of a comparator 404 serves as H level and the back porch counter 406 stops, the perpendicular counter 408 starts count-up. With the start edge of 2nd Horizontal Synchronizing signal XHSYNC, the counted value CNT of the perpendicular counter 408 is held at latch 410, and is outputted as a perpendicular count VCNT. This perpendicular count VCNT shows the scanning-line number on a screen. In addition, when not reducing perpendicularly, the frequency of 2nd Horizontal Synchronizing

signal XHSYNC and the Rhine increment signal HINC is equal, therefore the perpendicular count VCNT is equal to the pulse number of 2nd Horizontal Synchronizing signal XHSYNC.

[0092] Thus, the perpendicular counter 408 and the latch 410 have the function as a means to add a scanning-line number.

[0093] The dot clock signal DCLK generated in the PLL circuit 327 (drawing 19) of the FIFO control section 321 is given to the control signal generating section 360 (drawing 13) in the DMA control section 316. The control signal generating section 360 is controlling the level counter section 336 synchronizing with this dot clock signal DCLK.

[0094] In the period TT 1 of drawing 18, if the DMA transfer of the image data MDATA for 1 pixel (= 1 word = 24 bits) is carried out, the control signal generating section 360 will output the WORD synchronizing signal WSYNC to the level counter section 336. In addition, the control signal generating section 360 is carrying out 1 pulse output of the WORD synchronizing signal WSYNC for every pulse of the dot clock signal DCLK. The level counter section 336 counts up one level count HCNT according to each pulse of the WORD synchronizing signal WSYNC. In a period TT 1, since it is set to VCNT=0h and HCNT=0h in the above-mentioned (5) formula, it is set to $2=0051h$ of AD. This address AD 2 is equivalent to the address of the upper left part of the animation field MPA shown in drawing 15.

[0095] In a period TT 2, since it is set to VCNT=0h and HCNT=1h, it is set to $AD2=A0052h$. This address AD 2 is equivalent to the address of the upper right part of the animation field MPA shown in drawing 15.

[0096] Thus, in periods TT1 and TT2, the transfer about the 1st scanning line L1 in the animation field MPA of drawing 16 is completed. Therefore, termination of a period TT 2 gives 2nd Horizontal Synchronizing signal XHSYNC which shows termination and initiation of the scanning line to the DMA control section 316. In addition, this 2nd Horizontal Synchronizing signal XHSYNC is a generated signal by doubling HX about the frequency of 1st Horizontal Synchronizing signal HSYNC in the FIFO control section 321, as shown in drawing 12 (B).

[0097] While one perpendicular count VCNT of the perpendicular counter section 334 increases and being set to VCNT=1h according to the pulse of 2nd Horizontal Synchronizing signal XHSYNC which shows the ** term of a period TT 3, the level count HCNT of the level counter section 336 is reset by 0. After this, the sequential transfer of the image data MDATA is carried out by the same procedure as the above at 00A1h of addresses of VRAM212, and 00A2h.

[0098] In this way, after the DMA transfer about all the scanning lines L1 and L2 in the animation field MPA (drawing 16) is completed, according to Vertical Synchronizing signal VSYNC, the perpendicular counter section 334 and the level counter section 336 are reset by 0. Consequently, DMA controller 220 stands by until return and the image data of the next field are sent to an initial state.

[0099] Thus, when not reducing an image perpendicularly, whenever the perpendicular count VCNT and the level count HCNT are reset by 0 whenever Vertical Synchronizing signal VSYNC is given, and 2nd Horizontal Synchronizing signal XHSYNC is given, while one perpendicular count VCNT increases, the level count HCNT is reset by 0. Although the perpendicular count VCNT increases according to 2nd Horizontal Synchronizing signal XHSYNC and the Rhine increment signal HINC in reducing an image perpendicularly, about this, it mentions later.

[0100] As mentioned above, the perpendicular count VCNT is counted up according to 2nd Horizontal Synchronizing signal XHSYNC and the Rhine increment signal HINC, and counts up the level count HCNT according to the WORD synchronizing signal WSYNC. Moreover, since the address on VRAM212 is called for according to the above-mentioned (5) types, according to 2nd Horizontal Synchronizing signal XHSYNC, the Rhine increment signal HINC, and the WORD synchronizing signal WSYNC, renewal of sequential of the address on VRAM will be carried out. Consequently, the image data MDATA showing the image in the animation field MPA are transmitted to VRAM212 every [about 1 / 60 seconds, and an animation is displayed.

[0101] Q. The address arithmetic in the case of performing interlace scanning : drawing 20 is the explanatory view showing the room of the odd-line field in the case of performing interlace scanning, and the even-line field, and is drawing corresponding to drawing 15. The odd-line field contains only 00A1h of two addresses, and 00A2h among the four addresses in the animation field MPA, and the even-line field contains only other two address 0051Ah(s) and 0052A.

[0102] In interlacing, it registers $2=51h$ of offset addresses OFAD for offset address $OFAD1=A1h$ and the even-line fields for the odd-line fields into the offset address storage section 330 (drawing 13). The offset address storage section 330 outputs alternatively one side of these two offset addresses OFAD1 and OFAD2 according to the field indication signal FIS. In addition, in the interlace of 2:1, the addition address ADAD becomes twice (=A0h) a value (=50h) in case there is no interlace. Thus, according to the above-mentioned (5) formula, the address of image data is computable in the case of interlace scanning like the case where there is no interlace, by adjusting an offset address OFAD and the addition address ADAD.

[0103] In addition, also when transmitting the image data for interlacing, it is also possible to write the image data of the odd-line field and the even-line field in the same address, without interlacing intentionally. In this case, what is necessary is just to use the offset address OFAD in case there is no interlace, and the addition address ADAD in common with both fields.

[0104] According to the above-mentioned example, since the address-arithmetic section 312 of the DMA controller 220 interior consists of only one multiplier and two or more adders, the address can be calculated at a high speed. Furthermore, since a DMA transfer can be performed without needing image memory other than VRAM212, there is an advantage that the circuitry of the whole computer system is comparatively simple, and can constitute cheaply.

[0105] H. Zooming processing of an image : in this computer system, it has the function in which the FIFO memory unit 318 (drawing 12) carries out zooming of the image. Drawing 21 is an explanatory view explaining the function

expanded perpendicularly, and, as for (a), the output image data VDO and (c) show actuation of two FIFO memories, respectively, as for the input image data VDI and (b). However, at drawing 21 (a) and (b), image data after [expedient] illustrating are drawn in the form of the original analog video signal VS.

[0106] As shown in drawing 21 (c), the input terminal and output terminal of two FIFO memories 322,324 are switched by turns complementarily with the imagination toggle switches 323a and 323b. These imagination toggle switches 323a and 323b show equivalent that I/O of two FIFO memories 322,324 is switched by turns complementarily with the input enable signal RE given from the FIFO control section 321, and the output enable signal OE. The input-clock signal CLKI and output clock signal CLKO are given to two FIFO memories 322,324 in common. The frequency fCLKI of the input-clock signal CLKI is about 6MHz in fixed frequency, when the video signal VS which doubled the frequency of Horizontal Synchronizing signal HSYNC NH0, and was given to the image input terminal 226 is an NTSC signal so that drawing 12 (B) may also show. On the other hand, the frequency fCLKO of output clock signal CLKO is HX time (HX is an integer) the value of the frequency fCLKI of the input-clock signal CLKI (refer to drawing 12 (B)). Namely, the set point (NH0*HX) of the PLL circuit 326 which generates output clock signal CLKO is set up by HX time the set point NH0 of the PLL circuit 325 which generates the input-clock signal CLKI. In this example, it is assumed that it is HX=3.

[0107] At the 1st period TT 11 of drawing 21 (a) and (b), and the 3rd period TT 13, it is the input image data VDI to 1st FIFO memory 322. It is written in and is the output image data VDO from 2nd FIFO memory 324. It is read. At the 2nd period TT 12, it is the input image data VDI to 2nd FIFO memory 324. It is written in and is the output image data VDO from 1st FIFO memory 322. It is read. Consequently, in the 1st period TT 11, the image data about the 1st scanning line L1 are written in 1st FIFO memory 322. Moreover, in the 2nd period TT 12, the image data about the 2nd scanning line L2 are written in 2nd FIFO memory 324. Since, as for the example of drawing 21, the frequency fCLKO of output clock signal CLKO is set up by 3 times the frequency fCLKI of the input-clock signal CLKI, in the 2nd period TT 12, the image data about the 1st scanning line L1 are read from 1st FIFO memory 322 3 times.

[0108] Drawing 22 is the explanatory view showing expansion of the perpendicular direction of an image, and the situation of contraction. Drawing 22 (A) is the input image data VDI. It is shown and drawing 22 (B) is the output image data VDO. It is shown. Output image data VDO It is the input image data VDI. Each scanning line is repeated HX (= 3) time every, respectively, and the image is perpendicularly expanded HX (= 3) twice by this. In drawing 22 (B), "L1a", "L1b", and "L1c" show that the image data of the original scanning line L1 are outputted repeatedly 3 times. Thus, it is possible by setting the frequency fCLKO of output clock signal CLKO as the integral multiple of the frequency fCLKI of the input-clock signal CLKI using two FIFO memories 322,324 to expand an image perpendicularly by the integral multiple.

[0109] Vertical contraction is realized by the PLL circuit 328 in the FIFO control section 321 shown in drawing 19, the perpendicular counter 408 in the perpendicular counter section 334, and latch 410. Drawing 23 is a timing chart which shows vertical contraction actuation. The Rhine increment signal HINC (drawing 23 (a)) generated in the PLL circuit 328 is the frequency fVSYNC of Vertical Synchronizing signal VSYNC. NV It has the twice as many frequency fHINC as this. 2nd Horizontal Synchronizing signal XHSYNC (drawing 23 (c)) is the frequency fVSYNC of Vertical Synchronizing signal VSYNC. It has the twice (NV0*HX) as many frequency fXHSYNC as this, and the value of NV0 is constant value (the case of an NTSC signal NV = 262.5) which shows the number of scanning lines (it is hereafter called "the total number of drawing Rhine") of the 1 field in the original analog video signal VS. In addition, if NV0 and the number of effective drawing Rhine are set to NVL for the total number of drawing Rhine of the image expressed with the analog video signal VS and the number of display Rhine at the time of displaying the image on a display device is set to NVM as shown in drawing 24 (A) and (B), it is the set point NV of the PLL circuit 328. It is given by the degree type.

$$NV = NVM + HX * NV0 / (HX * NVL)$$

$$NV = \text{They are } NVM * NV0 / NVL, \text{ however } NVM \leq HX * NVL$$

[0110] In an upper type, NV = 262.5, NVL=240, and NVM=480 are set to substitution **** and NV = 525.

[0111] The perpendicular counter 408 (drawing 19) counts up counted value CNT (drawing 23 (b)) according to the leading edge of the Rhine increment signal HINC, and latch 410 latches the counted value CNT of the perpendicular counter 408 according to the leading edge of 2nd Horizontal Synchronizing signal XHSYNC, and outputs it as a perpendicular count VCNT (drawing 23 (d)).

[0112] In the example of drawing 23, the ratio (NV/NV0*HX) of the frequency fHINC of the Rhine increment signal HINC and the frequency fXHSYNC of 2nd Horizontal Synchronizing signal XHSYNC is 2/3, and the same value is repeated once every 2nd according to this like 0, 1, 2, 2, 3, 4, 4, and 5 — in the perpendicular count VCNT (drawing 23 (d)). Since the perpendicular count VCNT shows the perpendicular address in VRAM212, the image data of 3 Motome's scanning-line L1c and the image data of 4 Motome's scanning-line L2a will be written in the 3rd perpendicular address VCNT=2. Consequently, the image data of scanning-line L1c first written in the 3rd perpendicular address VCNT=2 are transposed to the image data of the following scanning-line L2a. If this is repeated, the image data of the scanning line in the location of the multiple of 3 will be thinned out, and a result reduced perpendicularly will be brought.

[0113] Signs that an image is perpendicularly reduced by actuation of drawing 23 are shown in drawing 22 (B) and (C). Image data VDO expanded by HX time by change-over of two FIFO memories 322,324 Although nine scanning-lines L1 a-L3c is covered, the 3rd image data of scanning-line L1c are replaced by the image data of that following scanning-line L2a in this, and the 6th image data of scanning-line L2c are also replaced by the image data of that

following scanning-line L3a. $NV/(NV0*HX)$ Consequently, an image doubles perpendicularly. In addition, since image data are beforehand expanded by HX time perpendicularly by two FIFO memories 322,324, it is the scale factor MV of a synthetic perpendicular direction. It is given by the degree type.

$$MV = NV / NV0 \text{ --- (6)}$$

[0114] scale factor MH of horizontal zooming of an image a ratio with the frequency fCLKO of output clock signal CLKO (drawing 21 (c)) at the time of reading image data from the frequency fDCLK and FIFO memory 322,324 of the dot clock signal DCLK (drawing 19) at the time of writing image data in VRAM212 --- it is equal to fDCLK/fCLKO. As drawing 21 was described, the frequency fCLKO of the output clock CLKO is HX time the frequency fCLKI of the input-clock signal CLKI, and the input-clock signal CLKI is the constant value according to the frequency characteristics of the composite video signal VS. Therefore, horizontal scale factor MH It is given by the following (7) formulas.

$$MH = fDCLK/fCLKO = fDCLK/(HX*fCLKI) \text{ --- (7)}$$

[0115] Furthermore, the frequency fCLKI of the input-clock signal CLKI is the frequency fHSYNC of Horizontal Synchronizing signal HSYNC so that drawing 12 (B) may also show. It is 0 time as many NH as this, and fHSYNC and NH0 are constants. Moreover, the dot clock signal DCLK is the frequency fHSYNC of Horizontal Synchronizing signal HSYNC. NH It has a twice as many frequency as this. Therefore, the above-mentioned (7) formula is rewritten as follows.

$$\begin{aligned} MH &= fDCLK/(HX*fCLKI) \\ &= fHSYNC * NH / (HX*fHSYNC * NH0) \\ &= NH/(HX*NH0) \text{ --- (8)} \end{aligned}$$

[0116] Perpendicular scale factor MV (6) types and the level scale factor MH which are shown The value which can be set up from CPU202 in shown (8) types is HX, NV, and NH. It is three and each of these is the set points in the FIFO control section 321. These three values HX and NV and NH For example, it is determined by the following formula.

$$[0117] HX = RND(MV) \text{ --- (9a)}$$

$$NV = NV0 * MV \text{ --- (9b)}$$

$$NH = NH0 * MH * HX \text{ --- (9c)}$$

Here, Operator RND shows the integer which revalued below decimal point of the numeric value in a parenthesis.

[0118] In addition, since they are materialized no matter what value may be used for (9b) and a formula (9c) as an integer HX, they can also determine the value of an integer HX by formulas other than a formula (9a).

[0119] Drawing 24 (A) shows the image OR expressed with the original composite video signal VS, and drawing 24 (B) shows the VRAM space which memorizes the image MR after zooming. Here, it is considering as the 780 horizontal maximum pixels, 640 effective pixels, 525 vertical maximum Rhine, and 480 effective Rhine. The image MR in VRAM space is displayed on a color CRT 300 or a color liquid crystal display 302 as it is. Therefore, vertical scale factor MV Horizontal scale factor MH It is equal to the ratio of the size of the window for graphic display set up on the display device, and the size of the original image OR. CPU202 is the size of the window for graphic display set up on the display device to the scale factor MV, and MH. It computes, above-mentioned (9a) - (9c) is followed further, and they are three values HX and NV and NH. It computes and sets up in the FIFO control section 321.

[0120] Thus, in the 1st example of the above, in case the DMA transfer of the image data is carried out to VRAM212, zooming of the image can be carried out for the scale factor of arbitration. Moreover, since the display position of an image can also be set as arbitration by the address-arithmetic section 312, it is possible to express an animation in the location of the arbitration of a display device as the scale factor of arbitration.

[0121] I. --- modification [of a DMA transfer circuit]: --- the following various deformation is possible also except the part relevant to mask data TDATA about the configuration of the circuit relevant to a DMA transfer.

[0122] It is possible to use RAM of the arbitration which has two or more ports as image memory. Moreover, even if it is RAM of only one port in fact, it is also possible to use as image memory what realized the function equivalent to the 2 port RAM as switched I/O of a port.

[0123] It is possible for it to be adapted in this invention also about the case where the video signal of other methods, such as a YUV signal by NTSC system instead of the chrominance signal (component video signal) of RGB each color, is processed.

[0124] This invention can be applied, also when elongating the compressed digital image data and writing in into VRAM. In this case, what is necessary is just to input the digital image data from the image expanding section into the input port (for it to be described as "CD-ROM") of the digital image data DS between DMA controller 220 and A-D converter 222.

[0125] As a circuit which computes the address AD 2 given by (4) formulas mentioned above, the various configurations of those other than the above-mentioned example can be considered. For example, the same result is obtained, even if it transposes the adder in DMA controller 220 to a subtractor or makes addition sequence change.

[0126] Moreover, the multiplier 338 shown in drawing 13 is replaced with an adder and the counter for count-up, and you may make it only the count of the perpendicular count VCNT of the perpendicular counter section 334 add the addition address ADAD memorized by the addition address value storage section 332.

[0127] As shown in drawing 25, it is also possible to replace the PLL circuit 328 in drawing 19 with the 1/-N counting-down circuit 329. After this 1/-N counting-down circuit 329 is reset and reset by Vertical Synchronizing signal VSYNC, it carries out dividing of the DCLK to the dot clock signals 1/N, and generates the Rhine increment signal HINC. Thus, when the 1/-N counting-down circuit 329 is used, there is an advantage that the jitter of the

Rhine increment signal HINC can be made fewer than the case where a PLL circuit is used.

[0128] Drawing 26 is the explanatory view showing the configuration and actuation of the circuit which performs interpolation between the scanning lines with a vertical expansion using three FIFO memories, and is drawing corresponding to drawing 21. As shown in drawing 26 (c), this circuit contains three FIFO memories 421, 422, 423, three equivalent switches 431, 432, 433, two multipliers 441, 442, and adders 450. As shown in drawing 26 (a) and (b), in each periods TT21, TT22, and TT23, the image data for the 1 scanning line are written in one FIFO memory, and image data are read from other two FIFO memories. The FIFO memory in which image data are written, and the FIFO memory from which image data are read are chosen in predetermined sequence. Drawing 26 (c) shows the connection condition of the switch in the first half of the 3rd period TT 23. At this time, the image data of the 1st scanning line L1 read from 1st FIFO memory 421 are doubled k1 with the 1st multiplier 441, and the image data of the 2nd scanning line L2 read from 2nd FIFO memory 422 are doubled k2 with the 2nd multiplier 442. The output of two multipliers 441, 442 is the output image data VDO outputted from an adder 450 in the first half of a period TT 23 since it is added with an adder 450. It is set to $(L1 \times k1 + L2 \times k2)$ (drawing 26 (b)). Output image data VDO in the first half of a period TT 23 if both the multipliers k1 and k2 are set with 0.5 here it becomes data which carried out the arithmetic average of the image data of the two scanning lines L1 and L2. The weighted mean can be obtained if k1 and k2 are set as the suitable value which is not 0. In addition, the image data of the 2nd scanning line L2 are the output image data VDO as it is in the second half of a period TT 23. It is outputted by carrying out.

[0129] Moreover, the same effectiveness about a vertical expansion and interpolation is acquired also by preparing the FIFO memory unit which functions as the FIFO memory unit 318 for making it expand perpendicularly similarly between A-D converter 222 and the color tone ready section 320. In this case, the FIFO memory unit 318 of drawing 12 (A) does not expand the perpendicular direction of the image data VD, but is used as a circuit which adjusts the timing of data transfer.

[0130] In this invention, the vocabulary of "expanding an image perpendicularly" is meant, not only when expanding simply like drawing 21, but when expanding interpolating perpendicularly like drawing 26.

[0131] In addition, it is also possible by using the image data buffer of other types, such as RAM, instead of two or more FIFO memories to constitute the circuit which has a function equivalent to a FIFO memory unit. It is possible by preparing two or more image data buffers and buffer control circuits, and generally, switching two or more image data buffers in predetermined sequence by the buffer control circuit to realize the function of a FIFO memory unit mentioned above.

[0132] A function equivalent to the PLL circuit 325 of drawing 12 (B) is realizable even if it uses the circuit which carries out the dividing output of the signal CLK0 acquired in the PLL circuit 326 by $(1/NH0)$ as an input, and is reset with Horizontal Synchronizing signal HSYNC. Thus, although two or more PLL circuits are used in drawing 12 (B), it is also possible to realize an equivalent circuit with the combination of a frequency divider etc.

[0133] The color tone ready section 320 of drawing 3 may be constituted as a circuit which outputs the component image data VD as an RGB code, after a YUV signal performs hue conversion in response to the digital video signal DS.

[0134] In addition, it is also possible to make it include a part of circuit (for example, the DMA address-arithmetic section 312 and the DMA control section 316) of DMA controller 220 shown in drawing 3 in a video accelerator 210.

[0135] J. The 2nd example: drawing 27 is the block diagram showing the configuration of the computer system as the 2nd example of this invention. This computer system has the configuration which added VRAM520 as 2nd image memory, and the DOS display-control section 522 as an image data-conversion means to the system of drawing 1.

[0136] The computer system of the 2nd example is operating under two managements of an operating system (referred to as "OS" below), the 2 port VRAM 212 as 1st image memory is managed by the 1st OS (for example, MS-Windows (trademark of Microsoft Corp.)), and VRAM520 as 2nd image memory is managed by the 2nd OS (for example, MS-DOS (trademark of Microsoft Corp.)).

[0137] The formats of the image data memorized by two VRAMs 212, 520 differ mutually, as shown below. The image data memorized in the 2 port VRAM 212 are bit map data which expressed each color of RGB with 8 bits for every dot of a display device (a color CRT 300 and color liquid crystal display 302). VRAM520 contains text VRAM and Graphic VRAM. The character code with which an alphabetic character is expressed when an image is an alphabetic character, and the attribute data showing the attributes (the color of an alphabetic character, inverse video, blanking display, etc.) of each alphabetic character are memorized by text VRAM. By attribute data, as for the color of an alphabetic character, one of eight colors is specified by the triplet, for example. The bit map data which express the graphic for every dot are memorized by Graphic VRAM. One color in 16 colors may specify the bit map data of a graphic by the case where one color in 8 colors is specified by the triplet, and 4 bits.

[0138] The DOS display-control section 522 has the function as an image data-conversion means to change the image data memorized by VRAM520 into the format of the image data memorized in the 2 port VRAM 212. Specifically, the DOS display-control section 522 has the function as a video multiplexer which compounds the character generator which changes an alphabetic character coat into bit map data, the attribute generator which gives an attribute to an alphabetic character, the color palette which changes the color of graphical data, and an alphabetic character image and a graphic. The image data changed by the DOS display-control section 522 are transmitted to the 2 port VRAM 212 by DMA controller 220 at a high speed.

[0139] Drawing 28 is the explanatory view showing the data transfer path to the 2 port VRAM 212 from VRAM520. As shown in drawing 28 (A), data format is changed into the image data memorized by VRAM520 by the DOS display-control section 522, and they are given to DMA controller 220. DMA controller 220 is transmitted to the 2

port VRAM 212 with the procedure which explained the image data given from the DOS display-control section 522 or A-D converter 222 in full detail in the 1st example. In addition, the image data memorized in the 2 port VRAM 212 are given to a display device. As shown in drawing 28 (B), as for the viewing area corresponding to VRAM520, it is desirable that it is smaller than the viewing area corresponding to the 2 port VRAM 212. In this case, the image memorized by VRAM520 is displayed on some screens of a display device. In addition, it sets to MS-Windows and the viewing area for VRAM520 like drawing 28 (B) is DOS-BOX. It is called.

[0140] In the 2nd above-mentioned example, there is an advantage that the image data in VRAM520 in which data format (DS) differs from the image data in the 2 port VRAM 212 can be transmitted to the 2 port VRAM 212 by DMA controller 220 at a high speed, changing data format. Moreover, since conversion of data format is performed in the DOS display-control section 522 which is hardware, compared with the case where it changes using CPU202, it is convertible for a high speed. Furthermore, there is also an advantage that zooming mentioned above can be performed also about the image in the display screen of VRAM520.

[0141] In addition, although managed in the 2nd example by OS from which two VRAMs 212, 520 differ, when it is what memorizes the image data of data format with which not only this but two VRAMs or more differ, it is possible to apply this invention.

[0142] Although each above-mentioned example explained the computer system which has a video accelerator 210, it is possible to apply this invention also to the computer system which does not contain a video accelerator.

[0143]

[Effect of the Invention] Since the animation image data in the animation write-in field of the configuration of arbitration can be transmitted to a frame memory, and a data transfer means supplies the address at the time of a transfer to a frame memory, since animation image data are written in a frame memory according to the mask data in which an animation write-in field is shown according to invention indicated to claim 1 as explained above, and animation image data are transmitted, animation image data can be transmitted to a high speed.

[0144] According to invention indicated to claim 2, compared with the approach of controlling animation image data and the address with much number of bits, the writing of the animation image data to a frame memory can be permitted or forbidden by easy circuitry.

[0145] According to invention indicated to claim 3, the level of a write-in signal can be adjusted easily.

[0146] Since according to invention indicated to claim 4 the renewal means of mask data will update mask data if the condition of an animation display field is updated on the screen of a display device, an animation can be displayed according to the condition of the animation display field in the screen of a display device.

[0147] According to invention indicated to claim 5, since a redirecting address is computed by the arithmetic operation by the 1st operation means and the 2nd operation means, the address of a frame memory can be computed at a high speed, and image data can be transmitted to a high speed.

[0148] According to invention indicated to claim 6, the timing of an animation image data transfer can be adjusted using two or more image data buffers.

[0149] NV [according to invention indicated to claim 7] in the Rhine increment signal generation means By adjusting a value, an animation is perpendicularly reducible.

[0150] According to invention indicated to claim 8, an animation is perpendicularly expandable by adjusting the value of HX in an output clock generation means.

[0151] NH [according to invention indicated to claim 9] in a dot clock generation means An animation can be horizontally expanded and reduced by adjusting a value.

[Translation done.]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the computer system as the 1st example of this invention.

[Drawing 2] The explanatory view showing the configuration of the 2 port VRAM 212 and mask data RAM 213.

[Drawing 3] The block diagram showing the internal configuration of DMA controller 220.

[Drawing 4] The explanatory view showing how to carry out the DMA transfer of the image data MDATA in the viewing area of the configuration of arbitration to the 2 port VRAM 212 using mask data.

[Drawing 5] The timing chart of write-in actuation of the mask data to mask data RAM 213.

[Drawing 6] The flow chart which shows the procedure of an update process of mask data.

[Drawing 7] The explanatory view showing the image displayed on the display device.

[Drawing 8] The timing chart which shows actuation of a vertical DMA transfer.

[Drawing 9] The timing chart which shows actuation of a horizontal DMA transfer.

[Drawing 10] The timing chart which shows the detail of the A section of drawing 9.

[Drawing 11] The explanatory view showing a part of circuitry in the case of carrying out bit flipping of the animation image data.

[Drawing 12] The block diagram showing the internal configuration of the FIFO memory unit 318.

[Drawing 13] The block diagram showing the internal configuration of the DMA address-arithmetic section 312, the data output section 314, and the DMA control section 316.

[Drawing 14] The address map of the 2 port VRAM 212.

[Drawing 15] The explanatory view showing the correspondence relation between the 2 port VRAM 212 and a screen.

[Drawing 16] The top view showing the animation field MPA in the screen of a color monitor.

[Drawing 17] The block diagram expanding and showing the address-arithmetic section 312 in DMA controller 220.

[Drawing 18] The timing chart which shows the detail of actuation of a DMA transfer.

[Drawing 19] The block diagram showing the internal configuration of the perpendicular counter section 334 and the FIFO control section 321.

[Drawing 20] The explanatory view showing the room of the odd-line field in the case of performing interlace scanning, and the even-line field.

[Drawing 21] The explanatory view showing expansion actuation of the perpendicular direction of an image.

[Drawing 22] The explanatory view showing expansion of the perpendicular direction of an image, and the situation of contraction.

[Drawing 23] The timing chart which shows contraction actuation of the perpendicular direction of an image.

[Drawing 24] The explanatory view showing the perpendicular direction of an image, and the situation of horizontal zooming.

[Drawing 25] The block diagram showing the circuitry at the time of replacing the 2nd PLL circuit 328 with a 1-/N counting-down circuit.

[Drawing 26] The explanatory view showing the configuration which performs interpolation between the scanning lines with a vertical expansion using three FIFO memories, and actuation.

[Drawing 27] The block diagram showing the configuration of the computer system as the 3rd example of this invention.

[Drawing 28] The explanatory view showing the image data transfer path in the 3rd example.

[Drawing 29] The block diagram of a computer system using the conventional DMA controller.

[Drawing 30] The explanatory view showing the case where still pictures S1a and S1b and Animation M1 are displayed on coincidence with the conventional technique.

[Description of Notations]

51R, 51G, 51B — Image memory

52 — Data bus

53 — Address bus

54 — Control bus

55 — DMA controller

56R, 56G, 56 B—VRAM

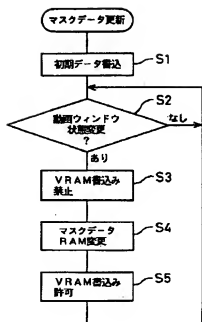
Monitor 57 — Control section

59 — CPU

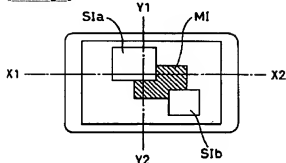
80 — Level range
 81 — Perpendicular range
 201 — CPU bus
 202 — CPU
 204 — RAM
 206 — ROM
 208 — I/O interface
 210 — Video accelerator
 212 — 2 port VRAM (frame memory)
 213 — Mask data RAM
 214 — D-A converter
 216 — LCD driver
 220 — DMA controller
 222 — A-D converter
 224 — Image decoder
 226 — Image input terminal
 228 — Address bus
 229 — Data bus
 230 — Control bus
 230 — Control bus
 300 — Color CRT
 302 — Color liquid crystal display
 310 — CPU interface
 312 — DMA address-arithmetic section
 314 — Data output section
 316 — DMA control section
 318 — FIFO memory unit
 320 — Color tone ready section
 321 — FIFO control section (image data buffer control means)
 322,324 — FIFO memory (image data buffer)
 323a, 323b — Toggle switch
 325 — PLL circuit (input-clock generation means)
 326 — PLL circuit (output clock generation means)
 327 — PLL circuit (dot clock generation means)
 328 — PLL circuit (Rhine increment signal generation means)
 330 — Offset address storage section
 332 — Addition address value storage section
 334 — Perpendicular counter section (scanning-line number generation means)
 336 — Level counter section
 338 — Multiplier
 340,342 — Adder
 360 — Control signal generating section
 362 — Bus control section
 364 — Latch
 402 — Back porch storage section
 404 — Comparator
 406 — Back porch counter
 408 — Perpendicular counter
 410 — Latch
 421,422,423 — FIFO memory
 431,432,433 — Switch
 441,442 — Multiplier
 450 — Adder
 460 — Accelerator unit
 462 — CPU interface
 470 — Image-processing unit
 471 — Data bus
 472 — Control bus
 474 — Image formation control section
 510 — PLL circuit
 511 — Corrugating section
 520 — VRAM
 522 — DOS display-control section
 604 — RAM change-over section

606 — OR gate
 608 — Address change-over section
 610 — 3 State OR gate
 612,614 — 3 State buffer
 AD2 — Address
 ADAD — Addition address
 BP — The number of the back porches
 BPC — Counted value
 CLKI — Input-clock signal
 CLKO — Output clock signal
 CNT — Counted value
 DCLK — Dot clock signal
 FIS — Field indication signal
 HCNT — Level count
 HINC — The Rhine increment signal
 HSYNC — Horizontal Synchronizing signal
 HX — Perpendicular magnifying power
 INTACK — Transfer enabling signal
 L1-L3 — Scanning line
 MH — Level scale factor
 MV — Perpendicular scale factor
 MADD—DMA address
 MCONT — Control signal
 MDATA — Animation image data
 MPA — Animation field
 OFAD — Offset address
 TADD — The address of mask data RAM 213
 TCONT — Control signal
 TDATA — Mask data
 VCNT — Perpendicular address
 VD — Component image data
 VS — Composite video signal
 VSYNC — Vertical Synchronizing signal
 WINT — Interrupt signal
 WSYNC — WORD synchronizing signal
 /DMAACK—DMA enabling signal
 /DMARQ — DMA request signal
 /MWE — Write-in signal
 /MWR — Write-in signal
 /TCS — Select signal
 /TCSS — Chip select signal of mask data RAM 213
 /VCS — Chip select signal of the 2 port VRAM 212
 The frequency of the input-clock signal CLKI of fCLKI—FIFO
 The frequency of output clock signal CLKO of fCLKO—FIFO
 fDCLK — Frequency of the dot clock signal DCLK
 fHINC — Frequency of the Rhine increment signal HINC
 fHSYNC — Frequency of Horizontal Synchronizing signal HSYNC
 fVSYNC — Frequency of Vertical Synchronizing signal VSYNC

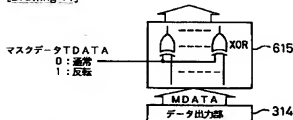
[Translation done.]



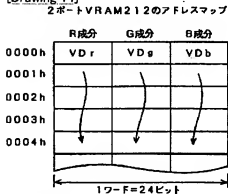
[Drawing 7]



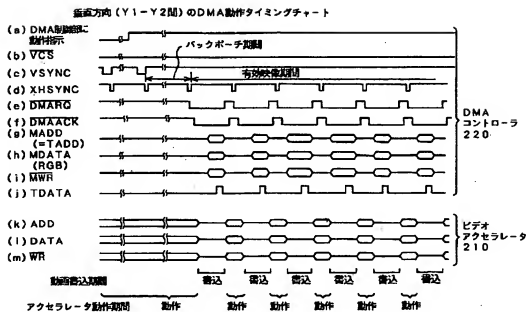
[Drawing 11]



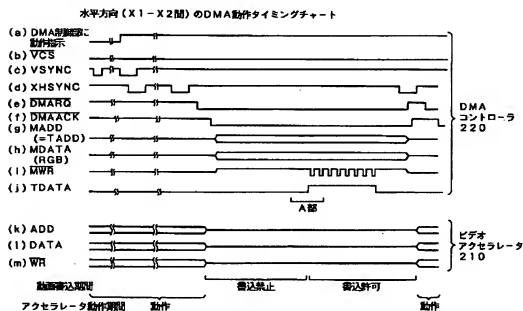
[Drawing 14]



[Drawing 8]

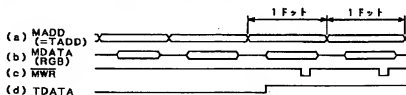


[Drawing 9]

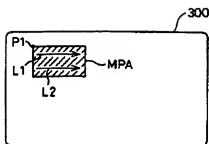


[Drawing 10]

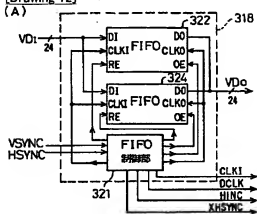
図9のA部の詳細タイミングチャート



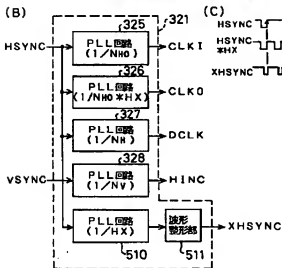
[Drawing 16]



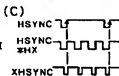
[Drawing 12]



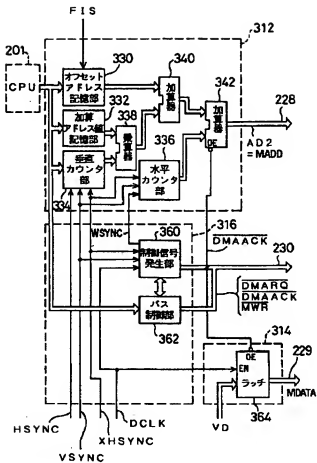
(B)



(C)

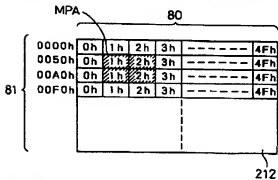


[Drawing 13]

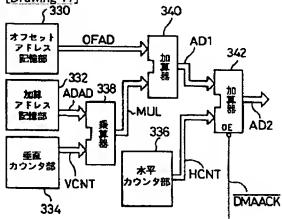


[Drawing 15]

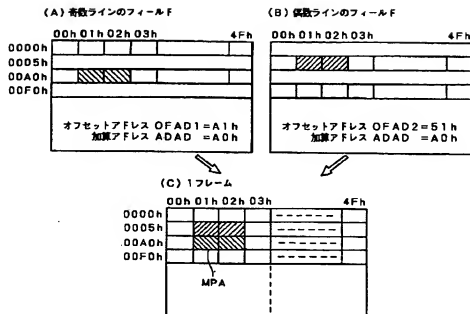
オフセットアドレス OFAD=51h
加算アドレス ADAD=50h



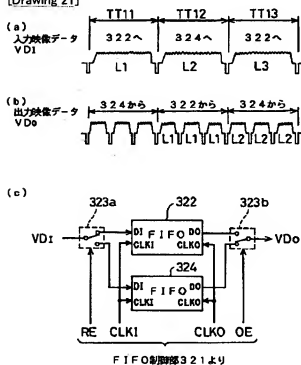
[Drawing 17]



[Drawing 18]



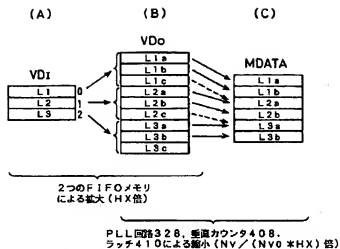
[Drawing 21]



$$f_{CLKO} = HX * f_{CLKI}$$

$$= 3 * f_{CLKI}$$

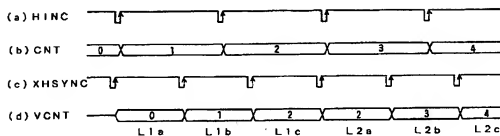
[Drawing 22]



$$\text{総合垂直倍率} MV = NV / NV0$$

[Drawing 23]

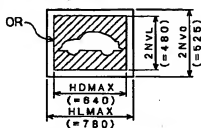
垂直方向の縮小動作 (NV / (NV0 * HX) = 2/3 の場合)



$$\begin{aligned} f_{HINC} &= f_{VSYNC} * NV \\ f_{XHSYNC} &= f_{VSYNC} * NV0 * HX \quad (\text{NTSC 信号では } NV0 = 262.5) \\ \text{垂直方向倍率} &= f_{HINC} / f_{XHSYNC} = NV / (NV0 * HX) \end{aligned}$$

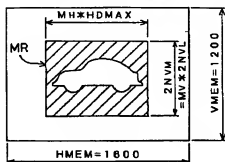
[Drawing 24]

(A) 映像信号による映像

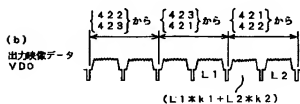
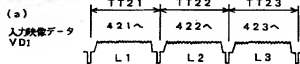


(B) VRAM空間

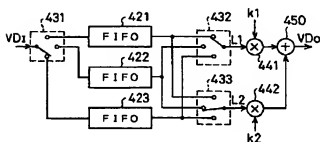
MV: 垂直倍率, MH: 水平倍率

PLL回路327の設定値 $NH = NH0 \times MH \times HX$ PLL回路328の設定値 $NV = \frac{MV \times NVL}{NVL} \times NV0 = MV \times NV0$ $NH0 = \frac{f_{CLK1}}{f_{HSYNC}}, NV0 = \frac{f_{HSYNC}}{f_{VSYNC}}$

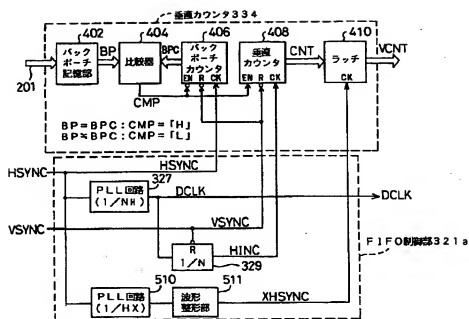
[Drawing 26]



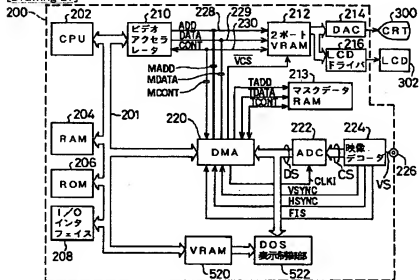
(c)



[Drawing 25]

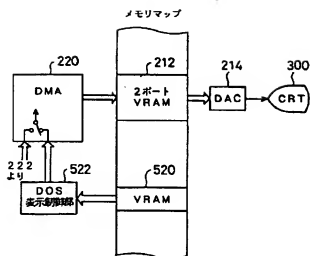


[Drawing 27]

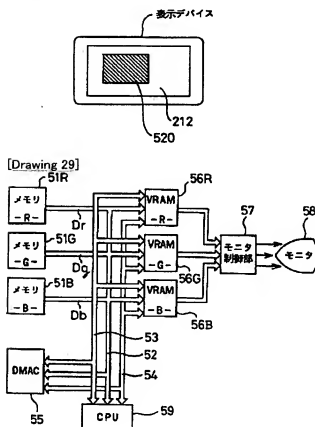


[Drawing 28]

(A)



(B)



[Translation done.]

(3) Japanese Patent Application Laid-Open No. 07-306671 (1995)

“IMAGE DATA TRANSFER DEVICE”

and its computer-generated English translation.

特開平 7-306671

(43) 公開日 平成 7年(1995)11 月 21 日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G	5/36	5 1 0 M	9471 - 5 G	
G 0 6 F	13/28	3 1 0 M	7386 - 5 B	
G 0 6 T	1/60			
			G 0 6 F	15/64 4 5 0 E
				15/66 4 5 0
				(全 2 7 頁)
審査請求	未請求	請求項の数 9	F D	最終頁に続く

(21) 出願番号 特願平6-124352

(22) 出願日 平成 6年(1994)5 月 13 日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 竹内 啓佐敏

長野県諏訪市大和三丁目3番5号

セイコー

エプソン株式会社内

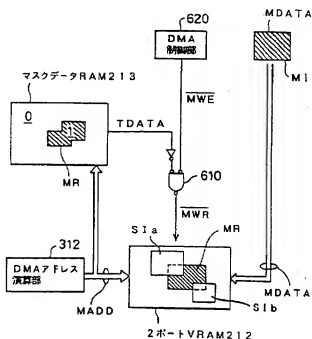
(74) 代理人 井理士 下出 隆史 (外1名)

(54) 【発明の名称】 映像データ転送装置

(57) 【要約】

【目的】 動画の中の任意の形状の表示領域内の映像データを映像メモリに高速に転送する。

【構成】 DMA転送時のアドレスは、2ポートVRAM 212と同時にマスクデータRAM 213に与えられるので、映像データのドット位置に応じたマスクデータTDATAがマスクデータRAM 213から読出される。マスクデータTDATAは動画表示領域MRを表わす1ビットノドットのデータであり、このマスクデータTDATAに応じて、2ポートVRAM 212に対する書き込み信号MWRのレベルが制御される。マスクデータTDATAは、表示デバイスにおける動画ウィンドウの位置と形状に応じて更新されるので、動画ウィンドウの状態に応じた任意の形状の動画が2ポートVRAM 212に転送され、表示デバイスに表示される。



【特許請求の範囲】

【請求項 1】 映像データをフレームメモリに転送する装置であって、

表示デバイスに表示される映像の映像データを記憶するフレームメモリと、

前記フレームメモリに転送される動画映像データを供給する動画映像データ供給手段と、

前記フレームメモリと同一の画像空間を有するとともに、前記フレームメモリと同一のアドレス空間に割り当てられており、前記フレームメモリ内において前記動画映像データが書き込まれるべき動画書き込み領域を示すマスクデータを記憶するマスクデータメモリと、

前記フレームメモリと前記マスクデータメモリに同一のアドレスを供給するとともに、前記マスクデータから読出された前記マスクデータに応じて、前記動画書き込み領域内の動画を表す前記動画映像データを前記フレームメモリに転送するデータ転送手段と、を備える映像データ転送装置。

【請求項 2】 請求項 1 記載の映像データ転送装置であって、

前記データ転送手段は、

前記マスクデータの値に応じて、前記フレームメモリの書き込み動作を許可するための書き込みレベルを調整する書き込みレベル調整手段を備え、映像データ転送装置。

【請求項 3】 請求項 2 記載の映像データ転送装置であって、

前記マスクデータは、前記表示デバイスに表示される映像の各ドットに割り当てられた 1 ビットのデータで構成されており、

前記書き込みレベル調整手段は、前記マスクデータと前記書き込みレベルとの論理積演算によって前記書き込みレベルの各ドットごとに調整する手段を有する、映像データ転送装置。

【請求項 4】 請求項 1 ないし 3 のいずれかに記載の映像データ転送装置であって、さらに、前記表示デバイスの画面上における前記動画の表示領域の位置と形状の少なくとも一方の更新に応じて、前記動画書き込み領域が前記動画の表示領域に一致するように前記マスクデータを更新するマスクデータ更新手段、を備える映像データ転送装置。

【請求項 5】 請求項 1 ないし 4 のいずれかに記載の映像データ転送装置であって、

前記データ転送手段は、前記動画映像データを転送する際に前記フレームメモリと前記マスクデータメモリとに与えるアドレスを算出するアドレス算出手段を備え、

前記アドレス算出手段は、

前記フレームメモリ内における前記動画書き込み領域の開始位置を示すオフセットアドレス値を記憶する第 1 のメモリと、

前記フレームメモリ内における隣接する走査線同士のア

ドレスの差を示す加算アドレス値を記憶する第 2 のメモリと、

前記動画映像データに同期した垂直同期信号と水平同期信号とに応じて、与えられた前記水平同期信号のバース数に基づいて特定される走査線の順番を示す走査線番号と、前記加算アドレス値とを乗算した値に等しい垂直アドレス値を算出する第 1 の演算手段と、

前記動画内の各走査線において、各走査線の始点から各走査線上的の各画素までのアドレスの差を示す水平アドレス値を生成する水平カウンタと、

前記オフセットアドレス値と前記垂直アドレス値と前記水平アドレス値とを加算することによって、各走査線における各画素の位置に相当する前記フレームメモリ内のアドレスを生成する第 2 の演算手段と、を備える映像データ転送装置。

【請求項 6】 請求項 1 ないし 5 のいずれかに記載の映像データ転送装置であって、

前記データ転送手段は、

前記映像データを所定量ずつ記憶可能な複数の映像データバッファと、

前記複数の映像データバッファの中で、前記映像データが書き込まれる少なくとも 1 つの映像データバッファと、前記映像データが読出される少なくとも 1 つの他の映像データバッファとを所定の順序で選択して動作させるバッファ制御手段と、を備える映像データ転送装置。

【請求項 7】 請求項 6 記載の映像データ転送装置であって、

前記バッファ制御手段は、

前記垂直同期信号と前記水平同期信号の少なくとも一方に基づいて、前記垂直同期信号の N 倍の周期を有するラインインクリメント信号を生成するラインインクリメント信号生成手段を備え、

前記第 1 の演算手段は、

前記水平同期信号の各バースに応じて、前記水平同期信号の最新の 2 バースの間に発生した前記ラインインクリメント信号のバース数を前記走査線番号の値に加算していく手段を備え、

前記ラインインクリメント信号生成手段における前記 N 倍の値を調整することによって、前記第 1 の映像メモリに転送される前記映像データで表わされる映像を垂直方向に縮小可能な映像データ転送装置。

【請求項 8】 請求項 6 または 7 記載の映像データ転送装置であって、

前記バッファ制御手段は、

水平同期信号の周波数の N 倍の周波数を有する入力クロック信号を生成し、前記映像データが書き込まれる映像データバッファに書き込み同期信号として供給する入力クロック生成手段と、

入力クロック信号の周波数の H 倍 (H は整数) の周波数を有する出力クロック信号を生成し、前記映像デー

タが送出される映像データバッファに送出し同期信号として供給する出力クロック生成手段と、を備え、

前記出力クロック生成手段における前記H_Xの値を調整することによって、前記複数の映像データバッファから読み出された前記映像データによって変えられる映像を垂直方向に拡大可能な映像データ転送装置、

【請求項9】 請求項6ないし8のいずれかに記載の映像データ転送装置であって、

前記バッファ制御手段は、さらに、

前記水平同期信号のNH倍の周波数有するドットクロック信号を、前記複数の映像データバッファから読み出された前記映像データを前記第1の映像メモリに書き込む際の同期信号として生成するドットクロック生成手段を備え、

前記ドットクロック生成手段における前記NHの値を調整することによって前記第1の映像メモリに転送される前記映像データで変えられる映像を水平方向に拡大および縮小可能な映像データ転送装置、

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、映像データをフレームメモリに転送するための映像データ転送装置に関する。

【0002】

【従来の技術】外部から与えられた映像データをパーソナルコンピュータのフレームメモリに転送する方法として、いわゆるDMA(Direct Memory Access)転送を利用することができる。

【0003】図29は、映像データをビデオRAMに転送するためのDMAコントローラを備えた従来のコンピュータシステムを示すブロック図である。3つの映像メモリ51R、51G、51Bには、赤色(R)、緑色(G)、青色(B)の色相分解された色データDr、Dg、Dbがそれぞれ記憶されている。これらの色データDr、Dg、Dbは、例えばデジザで予め2値化されている。DMAコントローラ55は、アドレスバス53と、データバス52と、制御バス54の使用権をCPU59から取得し、3つの映像メモリ51R、51G、51Bに記憶された2値色データDr、Dg、Dbをリアルタイムに表示用のビデオRAM56R、56G、56Bにそれぞれ転送する。転送された2値色データDr、Dg、Dbは、VRAM56R、56G、56Bを通じてモニター制御部57に送られ、モニター58に映像を表示させる。

【0004】DMA転送の際には、まず、CPU59が、R成分用のVRAM56Rにおける表示開始アドレスをDMAコントローラ55に送ってDMAコントローラ55を起動する。DMAコントローラ55は、バスの使用権をCPU59から獲得して1ライン目のR成分の2値色データDrをR成分用のVRAM56Rに転送し、その後、CPU59にバスの使用権を戻す。次に、

CPU59がG成分用のVRAM56Gの表示開始アドレスをDMAコントローラ55に送ってDMAコントローラ55を起動すると、R成分と同様に2値色データDgの転送が行なわれる。さらに、B成分も同様に転送される。2ライン目の映像データを転送する際には、CPU59はVRAM56R、56G、56Bそれぞれの2ライン目の表示開始アドレスを算出してこれをDMAコントローラ55に送り、RGB各色の2値色データDr、Dg、Dbを順次転送する。

【0005】このように、CPU59は各ライン毎にVRAM56R、56G、56Bの表示開始アドレスを算出してDMAコントローラ55に教示し、DMAコントローラ55がこれに応じて各ラインの色データDr、Dg、Dbを順次DMA転送していくことにより、1フィールド分の色データがVRAM56に転送される。なお、「1フィールド」とは、画面の左上隅から右下隅までの1回の走査でカバーされる画面を言う。多の場合には、2:1のインターレース(飛び越し走査)が行なわれ、2フィールドで1フレーム(1画面)の画像を構成している。こうして、1秒間に約60フィールド分の2値色データを順次DMA転送していくことによって、動画がモニター58に表示される。

【0006】

【発明が解決しようとする課題】NTSC(National Television System Committee)方式による映像信号を利用した場合、水平1ラインの走査期間は63μsである。一方、図29のシステムにおいて、CPU59が表示開始アドレスを計算してDMAコントローラ55に転送する時間と、DMAコントローラ55がCPU59から各バスの使用権を取得する時間と、各2値色データDr、Dg、Dbの1ライン分をDMA転送する時間とを合計すると、1秒間に数フィールド分のデータしか転送できない。これはCPU59が表示開始アドレスを計算したり、DMAコントローラ55に表示開始アドレスを設定したりするための時間が必要以上にかかるためと考えられる。このように、従来の装置では、1秒間に数フィールド分のデータしか転送できなかった、スムーズな動画を表示することは不可能であった。

【0007】ところで、近年のCPUの高速化とメモリの大容量化に伴って、マルチウィンドウ機能を備えたパーソナルコンピュータが急速に普及し始めている。特に、ウィンドウの1つに動画を表示させることのできるものもある。

【0008】図30は、マルチウィンドウシステムにおいて静止画S1a、S1bと動画M1とを同時に表示した場合を示す説明図である。従来は、図30(A)のように動画M1の表示領域が矩形の場合には、動画をDMA転送することは可能であったが、矩形でない表示領域内の動画を表わす映像データを転送することは不可能であった。ここで、「表示領域」とはディスプレイバイ

スの画面上において表示される領域を意味している。例えば、図30(A)において静止画Signalの領域がアクティブになり、図30(B)のように動画M1の上に重ねられて表示されると、動画M1の表示領域が矩形でなくなるので、DMA転送によって動画M1を表示することが不可能であった。

【0009】本発明は、従来技術における上述の問題を解決するためになされたものであり、動画の中の任意の形状の表示領域内の映像データを映像メモリに高速に転送することを目的とする。

【0010】

【課題を解決するための手段および作用】上述の問題を解決するため、この発明の請求項1に記載した映像データ転送装置は、表示デバイスに表示される映像の映像データを記憶するフレームメモリと、前記フレームメモリに転送される動画映像データを供給する動画映像データ供給手段と、前記フレームメモリと同一の画像空間を有するとともに、前記フレームメモリと同一のアドレス空間に割り当てられており、前記フレームメモリ内において前記動画映像データが書き込まれるべき動画書込領域を示すマスクデータを記憶するマスクデータメモリと、前記フレームメモリと前記マスクデータメモリに同一のアドレスを供給するとともに、前記マスクデータから読出された前記マスクデータに応じて、前記動画書込領域内の動画を表わす前記動画映像データを前記フレームメモリに転送するデータ転送手段と、を備える。

【0011】マスクデータメモリはフレームメモリと同一の画像空間を有し、また、同一のアドレス空間に割り当てられているので、マスクデータメモリとフレームメモリに同一のアドレスを供給することによってフレームメモリに書き込まれるべき動画映像データに対応するマスクデータがマスクデータメモリから読出される。そして、動画書込領域を示すマスクデータに応じて動画映像データをフレームメモリに書き込むので、任意の形状の動画書込領域内の動画映像データをフレームメモリに転送できる。また、データ転送手段はフレームメモリに転送時のアドレスを供給して動画映像データを転送するので、動画映像データを高速に転送することができる。

【0012】請求項2に記載した映像データ転送装置では、前記データ転送手段は、前記マスクデータの値に応じて、前記フレームメモリの書込み動作を許可するための書込信号のレベルを調整する書込信号調整手段を備える。

【0013】書込信号のレベルを調整するようにすれば、ビット数の多い動画映像データやアドレスを制御する方法に比べて簡単な回路構成でフレームメモリへの動画映像データの書込みを許可したり禁止したりすることができる。

【0014】請求項3に記載した映像データ転送装置では、前記マスクデータは、前記表示デバイスに表示され

る映像の各ドットに割り当てられた1ビットのデータで構成されている。また、前記書込信号調整手段は、前記マスクデータと前記書込信号との論理演算によって前記書込信号のレベルを各ドットごとに調整する手段を有する。

【0015】このような構成によって書込信号のレベルを容易に調整することができる。

【0016】請求項4に記載した映像データ転送装置では、さらに、前記表示デバイスの画面上における前記動画の表示領域の位置と形状の少なくとも一方の更新に応じて、前記動画書込領域が前記動画の表示領域に一致するように前記マスクデータを更新するマスクデータ更新手段、を備える。

【0017】表示デバイスの画面上において動画表示領域の状態が更新されるとマスクデータ更新手段がマスクデータを更新するので、表示デバイスの画面上における動画表示領域の状態に応じて動画を表示することができる。

【0018】請求項5に記載した映像データ転送装置では、前記データ転送手段は、前記動画映像データを転送する際に前記フレームメモリと前記マスクデータメモリとに与えるアドレスを算出するアドレス算出手段を備える。また、前記アドレス算出手段は、前記フレームメモリ内における前記動画書込領域の開始位置を示すオフセットアドレス値を記憶する第1のメモリと、前記フレームメモリ内における隣接する走査線間士のアドレスの差を示す加算アドレス値を記憶する第2のメモリと、前記動画映像データに同期した垂直同期信号と水平同期信号とに応じて、与えられた前記水平同期信号のバース数に基づいて特定される走査線の順番を示す走査線番号と、前記加算アドレス値とを乗算した値に等しい垂直アドレス値を算出する第1の演算手段と、前記動画内の各走査線上において、各走査線の始点から各走査線上的各画素までのアドレスの差を示す水平アドレス値を生成する水平カウンタと、前記オフセットアドレス値と前記垂直アドレス値と前記水平アドレス値とを加算することによって、各走査線上における各画素の位置に相当する前記フレームメモリ内のアドレスを生成する第2の演算手段と、を備える。

【0019】転送アドレスは第1の演算手段と第2の演算手段とによる算術演算によって算出されるので、フレームメモリのアドレスが高速に算出され、映像データを高速に転送することが可能となる。

【0020】請求項6に記載した映像データ転送装置では、前記データ転送手段は、前記映像データを所定量ずつ記憶可能な複数の映像データバッファと、前記複数の映像データバッファの中で、前記映像データが書き込まれる少なくとも1つの映像データバッファと、前記映像データが読み出される少なくとも1つの他の映像データバッファとを所定の順序で選択して動作させるバッファ制

御手段とを備える。

【0021】 以下すれば、複数の映像データバッファを用いて動画映像データの転送のタイミングを調整できる。

【0022】 請求項7に記載した映像データ転送装置では、前記バッファ制御手段は、前記垂直同期信号と前記水平同期信号の少なくとも一方に基づいて、前記垂直同期信号のNH倍の周波数を有するラインインクリメント信号を生成するラインインクリメント信号生成手段を備え、前記第1の演算手段は、前記水平同期信号の各パルスに応じて、前記水平同期信号の最新の2パルスの間に発生した前記ラインインクリメント信号のパルス数を前記走査線番号の値に加算していく手段を備えている。そして、前記ラインインクリメント信号生成手段における前記NHの値を調整することによって、前記第1の映像メモリに転送される前記映像データで表わされる映像を垂直方向に縮小可能である。

【0023】 請求項8に記載した映像データ転送装置では、前記バッファ制御手段は、水平同期信号の周波数のNH倍の周波数を有する入力クロック信号を生成し、前記映像データが書き込まれる映像データバッファに書き込み同期信号として供給する入力クロック生成手段と、入力クロック信号の周波数のHX倍（HXは整数）の周波数を有する出力クロック信号を生成し、前記映像データが読出される映像データバッファに読出し同期信号として供給する出力クロック生成手段と、を備える。そして、前記出力クロック生成手段における前記HXの値を調整することによって、前記複数の映像データバッファから読み出された前記映像データによって表わされる映像を垂直方向に拡大可能である。

【0024】 請求項9に記載した映像データ転送装置では、前記バッファ制御手段は、さらに、前記水平同期信号のNH倍の周波数を有するドットクロック信号を、前記複数の映像データバッファから読み出された前記映像データを前記第1の映像メモリに書き込む際の同期信号として生成するドットクロック生成手段を備える。そして、前記ドットクロック生成手段における前記NHの値を調整することによって前記第1の映像メモリに転送される前記映像データで表わされる映像を水平方向に拡大および縮小可能である。

【0025】

【実施例】

A. システム構成：図1は、本発明の第1の実施例としてのコンピュータシステムの構成を示すブロック図である。このコンピュータシステムは、パーソナルコンピュータ本体200と、カラーCRT300と、カラー液晶ディスプレイ（LCD）302とを備えている。パーソナルコンピュータ本体200は、CPU202と、RAM204と、ROM206と、I/Oインタフェース208と、ビデオアクセラレータ210と、2ポートVR

AM212と、マスクデータRAM213と、D-A変換器（DAC）214と、LCDドライバ216と、DMAコントローラ220と、A-D変換器222と、映像デコーダ224と、映像入力端子226とを備えている。これらのうちで、CPU202、RAM204、ROM206、I/Oインタフェース208、ビデオアクセラレータ210、および、DMAコントローラ220は、CPUバス201で互いに接続されている。また、ビデオアクセラレータ210と、2ポートVRAM212と、DMAコントローラ220は、ローカルバス（アドレスバス228、データバス229、制御バス230）で相互に接続されている。なお、マスクデータRAM213とDMAコントローラ220もローカルバスで接続されている。

【0026】 なお、マスクデータRAM213とDMAコントローラ220とA-D変換器222と映像デコーダ224と映像入力端子226は、1枚の拡張ボードまたは拡張カード上に実装されている。

【0027】 映像入力端子226にはビデオプレーヤやテレビジョンチューナからのコンポジット映像信号VSが与えられる。入力されたコンポジット映像信号VSは、映像デコーダ224でデコードされて、RGB各色の輝度成分を含む色信号CS（コンポーネント映像信号）と、垂直同期信号VSYNCと、水平同期信号HSYNCと、フィールド指示信号FISとに分解される。フィールド指示信号FISは、インターレース走査の場合に奇数フィールドか偶数フィールドかを示す信号である。

【0028】 色信号CSはA-D変換器222によってアナログ信号からデジタル信号に変換され、デジタル化された映像データDSはDMAコントローラ220に与えられる。DMAコントローラ220は、デジタル化された映像データのビット数を調整した後、その映像データを2ポートVRAM212に転送する。2ポートVRAM212から読み出された映像データは、D-A変換器214を介してカラーCRT300に与えられ、また、LCDドライバ216を介して液晶ディスプレイ302に与えられる。

【0029】 図2は、2ポートVRAM212とマスクデータRAM213の構成を示す説明図である。図2

(A)に示すように、2ポートVRAM212は、RGBの各色8ビットのコンポジット映像データを、表示データバス（カラーCRT300、液晶ディスプレイ302）の画面の各ドット毎に記憶するフレームメモリである。また、マスクデータRAM213は、動画が書き込まれる2ポートVRAM212の領域（以下、「動画書き込み領域」と呼ぶ）を表わす1ビットのマスクデータを各ドット毎に記憶するメモリである。また、図2(B)に示すように、2ポートVRAM212とマスクデータRAM213は、DMAコントローラ220から見て同一

のアドレス空間にマッピングされている。

【0030】マスクデータがHレベルの領域では動画映像データが2ポートRAM212にDMA転送され、マスクデータがLレベルの領域ではDMA転送が禁止される。この結果、マスクデータがHレベルの領域の動画部分は表示デバイスに表示される。反対に、マスクデータがLレベルの領域では動画が表示されず、背景や静止画が表示される。マスクデータを用いた動画表示の動作については後述する。

【0031】図3は、DMAコントローラ220の内部構成を示すブロック図である。DMAコントローラ220は、CPUインタフェース310と、RAM切替部604と、ORゲート606と、アドレス切替部608と、3ステートORゲート610と、2つの3ステートバッファ回路612、614と、DMAアドレス演算部312と、データ出力部314と、DMA制御部316と、FIFOメモリユニット318と、色調整部320とを備えている。

【0032】色調整部320に与えられるデジタル映像信号DSは、24ビット(RGB各8ビット)のフルカラー映像データである。色調整部320は、この24ビットのデジタル映像信号DSを、必要に応じて16ビット(R:G:B=5:6:6ビットで1677万色を再現可能)、8ビット(R:G:B=3:3:3ビットで6万色を再現可能)、4ビット(カラーパレットにより16色を再現可能)、3ビット(カラーパレットにより8色を再現可能)の映像データに変換する回路である。4ビットや3ビットの映像データに変換する場合には、ディザ法による2値化が実行される。また、カラーパレットは2ポートVRAM212の出力部に設けられる。なお、どのタイプの映像データに変換するかは、オペレータの指定に応じてCPU220によって設定される。但し、以下では24ビットのフルカラー映像データ(「コンポーネント映像データ」と呼ぶ)の色調整部320がそのまま出力する場合について説明する。

【0033】FIFOメモリユニット318は、色調整部320から与えられた映像データVDを内蔵する2つのFIFOメモリに一時記憶して、データ転送時のタイミングを調整する機能を有している。FIFOメモリユニット318から出力された映像データVD(=DMATA)は、データ出力部314の出力ポートで保持されて、3ステートバッファ回路614を介してローカルなデータバス229(図1)上に出される。

【0034】DMA制御部316は、アドレスバス228と、データバス229と、制御バス230の使用権をビデオアクセラレータ210から取得し、映像データMDATAを2ポートVRAM212に転送する。この際、DMAアドレス演算部312がアドレスを算出し、3ステートバッファ回路612およびアドレスバス228を介して2ポートVRAM212にそのアドレスが供

給される。

【0035】映像データMDATAの転送に関連するコントロール信号MCONTは、DMA要求信号/DMAREQと、DMA許可信号/DMAACKと、書き込み/MWRとを含んでいる。なお、図3において、信号名の上に線が引かれているものは負論理であることを意味しており、明細書中においては各信号名の前にスラッシュ「/」が付加されている。DMA要求信号/DMAREQは、DMA制御部316がビデオアクセラレータ210にDMA転送を要求する信号である。DMA許可信号/DMAACKは、ビデオアクセラレータ210がDMA制御部316にDMA転送を許可する信号である。書き込み/MWRは、2ポートVRAM212にデータの書き込みを行なわせる信号である。

【0036】DMAコントローラ220とマスクデータRAM213との間で交換される信号は、アドレスTADDと、マスクデータTDATAと、コントロール信号TCONTである。コントロール信号TCONTは、マスクデータRAM213のための書き込み信号/TWRと出力カインール信号/TOEとを含んでいる。なお、書き込み信号/TWRはORゲート606から出力され、出力カインール信号/TOEはDMA制御部316から出力される。

【0037】アドレス切替部608は、DMAアドレス演算部312から与えられたアドレスMADDと、CPUインタフェース310を介してCPU220から与えられたアドレスMAINADDのうちの一方を、マスクデータRAM213に与えるアドレスTADDとして選択するセレクタである。アドレス切替部608における切替を指示するセレクタ信号/TCSは、RAM切替部604から与えられている。

【0038】RAM切替部604は、上述したセレクタ信号/TCSの他に、2ポートVRAM212の書き込みの動作を許可するためのチップセレクタ信号/VCSと、マスクデータRAM213へのマスクデータの書き込みを許可するためのチップセレクタ信号/TCSSとを出力する。RAM切替部604は、これらの各信号/VCS、/VCS、/TCSSを保持するためのラッチを有しており、CPUインタフェース310を介してCPU220から指定された各信号のレベルをそれぞれ保持している。

【0039】ORゲート606は、マスクデータRAM213のためのチップセレクタ信号/TCSSと、CPUインタフェース310を介してCPU220から与えられる書き込み信号/MAINWRとの負論理の論理積(AND)を取って、マスクデータRAM213に与える書き込み信号/TWRを生成する。後述するように、書き込み信号/TWRがLレベルの期間においてマスクデータがマスクデータRAM213に書き込まれる。チップセレクタ信号/TCSSは、2ポートVRAM212に映像デー

タを書き込む際にもLレベルとなるが、この時にはCPU 202から与えられる書込信号/MMA INWRがHレベルに保たれて、書込信号/TWRがHレベルとなり、マスクデータRAM 213へのデータの書込が禁止される。換言すれば、書込信号/TWRは、マスクデータをマスクデータRAM 213に書き込む時のみLレベルとなつて、その書込みを許可する。

【0040】3ステートORゲート610は、映像データを2ポートVRAM 212に転送する際に、DMA制御部316から出力された書込信号/MWEをマスクデータTDATAによってマスクするためのゲートである。すなわち、マスクデータTDATAがHレベルであれば、DMA制御部316から出力された書込信号/MWEが3ステートORゲート610をそのまゝ通過し、書込信号/MWRとして2ポートVRAM 212に与えられる。一方、マスクデータTDATAがLレベルであれば、DMA制御部316から出力された書込信号/MWEが3ステートORゲート610で阻止されて、2ポートVRAM 212に与えられる書込信号/MWRは常にLレベルに保たれる。このような動作の詳細については後に後述する。

【0041】なお、3ステートORゲート610と、2つの3ステートバッファ回路612、614は、ビデオアクセラレータ210の動作中はハイ・インピーダンス状態に保たれる。

【0042】図4は、マスクデータを利用して、任意の形状の領域内の映像データを2ポートVRAM 212にDMA転送する方法を示す説明図である。通常は、映像データMDATAで表わされる動画MIの形状は矩形である。DMAアドレス演算部312は、2ポートVRAM 212のアドレス空間（すなわち表示デバイスの画面領域に対応する空間）内における矩形の動画MIのアドレスをドット毎に演算して2ポートVRAM 212に与えている。このアドレスMADDは、マスクデータRAM 213にも同時に与えられる。従つて、矩形の動画MIを表わす映像データMDATAがドット毎に2ポートVRAM 212に与えられると同時に、各ドットのマスクデータTDATAがマスクデータRAM 213から読出されてORゲート610に与えられる。

【0043】マスクデータRAM 213内に記憶されているマスクデータTDATAの値は、2ポートVRAM 212の画面空間において動画が書き込まれるべき領域（動画書込領域）MRに対しては1（Hレベル）であり、動画書込領域MR以外の領域では0（Lレベル）である。なお、2ポートVRAM 212における動画書込領域は、表示デバイスにおいて動画が表示される動画表示領域に対応しているため、以下では動画書込領域と動画表示領域を、いずれも「動画表示領域」と呼ぶ。

【0044】ORゲート610は、マスクデータTDATAと、DMA制御部620から出力される書込信号/

MWEとの真値論の論理積（AND）を取り、その出力/MWRを2ポートVRAM 212に与えている。この結果、マスクデータTDATAの値が1の場合には2ポートVRAM 212への映像データMDATAの書込みが許可され、マスクデータTDATAの値が0の場合には2ポートVRAM 212への映像データMDATAの書込みが禁止される。

【0045】図4の例において、2ポートVRAM 212内の動画表示領域MRに隣接したメモリ領域には、静止画S1a、S1bの映像データがビデオアクセラレータ210によって書き込まれている。このような2ポートVRAM 212内の映像が表示デバイスに表示されると、静止画S1a、S1bのウィンドウの後ろで動画が表示されている状態が観察される。また、動画映像データMDATAは高速にDMA転送されるので、動画表示領域MR内の映像は実際に動いている。

【0046】マスクデータTDATAの分布を変更すれば、任意の形状の動画表示領域内の動画映像データMDATAを選択的に2ポートVRAM 212に転送することが可能である。なお、マスクデータTDATAは、矩形の動画MIの一部をマスクする機能を有すると言い換えることもできる。アドレスMADDの値とマスクデータTDATAの分布を変更すれば、表示デバイスの画面上において動画が表示される領域の位置を任意に変更することも可能である。また、後述するように、任意の形状の動画表示領域内において、動画を水平方向と垂直方向に任意の倍率で変倍することも可能である。

【0047】この実施例では、ORゲート610により書込信号/MWRのレベルを制御することによって、映像データMDATAの2ポートVRAM 212への書込みを制御するようにしているので、回路構成が単純であるという利点がある。また、映像データMDATAとアドレスMADDは、矩形の動画MIをDMA転送する場合と同様にバス上に出さなければいので、映像データMDATAとアドレスMADDを動画表示領域の形状に応じて調整する必要がない。すなわち、DMA転送の処理そのものは簡単なもので高速なDMA転送を実現することができる。

【0048】ところで、従来は、動画と静止画とを組み合わせる場合には表示用のフレームメモリの他に動画専用の映像メモリを必要としていた。一方、この実施例によるコンピュータシステムでは、動画専用の映像メモリを必要とせずに、動画映像データを高速に転送することができる。

【0049】B. マスクデータの書込処理：図5は、マスクデータRAM 213へのマスクデータの書込動作のタイミングチャートである。マスクデータRAM 213へのマスクデータの書込みは、ビデオアクセラレータ210が2ポートVRAM 212にアクセスする期間（以下、「静止画期間」と呼ぶ）に実行される。マスクデー

タの書き込み時には、静止面期間において、2ポートVRAM212の書き込み動作を許可するためのチップセレクト信号/VCSがHレベルに保たれて2ポートVRAM212への書き込み動作が禁止される。また、DMA制御部316から出力される出力イネーブル信号/TOEがHレベルに保たれてマスクデータRAM213にデータの書き込み動作であることが指示される。なお、チップセレクト信号/VCSによって2ポートVRAM212の書き込み動作を禁止するのは、2つのRAM212、213が同一のアドレスにマッピングされているので、マスクデータRAM213にマスクデータを書き込む時に2ポートVRAM212に関連してデータが書き込まれることを防止するためである。

【0050】アドレス切換部608(図3)に与えられるセレクト信号/TCSがLレベルに立下ると、CPU202から与えられたアドレスMAINDATAがアドレス切換部608で選択されてマスクデータRAM213に与えられる。この時、CPU202から出力されたマスクデータMAINDATA(=TDATA)もCPUインタフェース310を介してマスクデータRAM213に与えられる。その後、チップセレクト信号/TCSがLレベルに立下ってORゲート606が閉き、さらに、書き込み信号/TWRがLレベルとなった状態において、マスクデータRAM213に書き込みデータTDATAが書き込まれる。

【0051】なお、動画期間(DMA転送期間)においてはマスクデータRAM213からマスクデータTDATAが読出されて、図4で説明した動画のマスク処理に利用される。

【0052】上述したように、マスクデータRAM213にマスクデータTDATAを書き込む処理はDMA転送ではなく、CPU202によって実行される処理である。従って、マスクデータRAM213に2ポートRAMを用いてCPUバス201に接続し、CPU202から直接マスクデータTDATAを書き込むようにしてもよい。

【0053】図6は、マスクデータの更新処理の手順を示すフローチャートである。ステップS1では、マスクデータの初期データが2ポートVRAM212に書き込まれる。ここで、マスクデータの初期データとは、初めて動画M1が表示される際に書き込まれるマスクデータのことを言い、通常は矩形の動画表示領域を示すマスクデータである。

【0054】ステップS2では、CPU202が、表示デバイスの画面上において動画ウィンドウの状態が変更されたかを監視する。動画ウィンドウとは、画面上の動画表示領域と同じ意味であり、2ポートVRAM212の画像空間における動画書き込み領域に対応している。動画ウィンドウの状態が変更されるのは、動画ウィンドウに重なる静止面のウィンドウのサイズや位置を変更し

た場合、動画ウィンドウ自身のサイズや位置を変更した場合、および、動画ウィンドウと静止面ウィンドウの重なりとの上下関係を変更した場合などがある。

【0055】動画ウィンドウの状態が変更されると、ステップS3においてチップセレクト信号/VCSがHレベルに立上げられ、2ポートVRAM212への書き込みが禁止される。ステップS4では、CPU202がマスクデータRAM213に新たなマスクデータを書き込むことによって、マスクデータRAM213内のスクエータを更新する。ステップS5では、チップセレクト信号/VCSがLレベルに立下げられ、2ポートVRAM212へのデータの書き込みが許可される。

【0056】このように、ユーザが表示デバイスの画面上で動画ウィンドウや静止面ウィンドウを変更することによって動画ウィンドウの位置や形状が変更されると、その度にマスクデータが更新される。なお、図6のマスクデータ更新処理はCPU202が所定のドライバ(アプリケーションソフトとハードウェアを連結させる部分)プログラムを組み込むことによって実現されている。

【0057】C. 動画映像データのDMA転送処理の概要: 図7は、表示デバイス(カラーCRT300、液晶ディスプレイ302)に表示された映像を示す説明図である。この画面には、2つの静止面S1a、S1bのウィンドウの後ろに、動画M1が表示されている。動画M1の映像データは、例えば30フレーム/秒(60フィールド/秒)の割合で2ポートVRAM212にDMA転送される。以下では、図6の垂直方向(Y1-Y2線上)に沿ったDMA転送処理と、水平方向(X1-X2線上)に沿ったDMA転送処理の動作について説明する。

【0058】図8は、垂直方向のDMA転送の動作を示すタイミングチャートである。まず、CPU202がDMA制御部316(図3)に動作開始の指示を与えると(図8(a))、DMA制御部316がDMA要求信号/DMAREQをコントロールバス230上に出力する。そして、ビデオアクセラレータ210からDMA制御部316にDMA許可信号/DMAACKが与えられて、DMAコントローラ220がローカルバス228、229、230の使用権を取得する。

【0059】一方、CPU202からDMA転送の指示が与えられた後に垂直同期信号VSYNCがDMAコントローラ220に与えられると、DMAコントローラ220が初期状態にセットされる。

【0060】垂直同期信号VSYNCの後はバックボード期間が続いているが、図8ではその詳細は省略されている。バックボード期間の後の有効映像期間では、DMA許可信号/DMAACK(図8(f))がLレベルの期間は、DMAコントローラ220がアドレスMAD D(図8(g))と映像データMDATA(図8

(h))と書込信号/MWR(図8(i))とをローカルバス上に出力してDMA転送を行なう。この際、マスクデータRAM213にも2ポートVRAM212と同じアドレスが与えられており、動画ウィンドウの位置と形状に応じたマスクデータTDATA(図8(j))がマスクデータRAM213から読出される。このマスクデータTDATAに応じて、書込信号/MWEに対して図4で述べたマスク処理が行なわれる。DMA許可信号/DMAACKがHレベルの期間は、ビデオアクセラータ210がバスを使用する(図8(k)~(m))。

【0061】図9は、水平方向のDMA転送の動作を示すタイミングチャートであり、図8の水平同期信号HSYNCの1周期の間の動作を示している。なお、この水平同期信号HSYNCは、映像デコード224(図1)から与えられた第1の水平同期信号HSYNCに基づいてFIFOメモリユニット318(図3)が生成したものであり、2ポートVRAM212に書き込まれる動画映像データMDATAの1水平ラインの期間を規定する同期信号である。

【0062】図9において、DMA許可信号/DMAACKがLレベルに保たれている期間にDMA転送のアドレスMADDと映像データMDATAがローカルバス上に出力される。しかし、マスクデータTDATAがLレベルの間は、2ポートVRAM212に与えられる書込信号/MWRがHレベルに保たれるので、映像データMDATAの書込みは禁止される。マスクデータTDATAがHレベルの間では、書込信号/MWRがドット毎にLレベルに立下り、各ドットの映像データMDATA(RGBデータ)が2ポートVRAM212に書き込まれる。

【0063】図10は、図9のA部(マスクデータTDATAの段階)の詳細を示すタイミングチャートである。図9から解るように、画面上の1ドット(1画素)毎にアドレスMADD(=ADD)と映像データMDATAとが更新されている。また、マスクデータTDATAがHレベルの間でのみ書込信号/MWRがLレベルに立下り、これに応じて映像データMDATAが2ポートVRAM212に書き込まれる。

【0064】以上のように、DMA転送時には2ポートVRAM212とマスクデータRAM213に同一のアドレスMADD(=ADD)が与えられるので、画面上における映像データMDATAのドット位置に対応したマスクデータTDATAが読出される。そして、マスクデータTDATAのレベルに応じて2ポートVRAM212への映像データMDATAの書込みが制御される。また、上述したように、動画ウィンドウ(動画表示領域)の位置と形状に応じてマスクデータTDATAが更新されるので、画面上の任意の位置で任意の形状の動画を表示することができる。

【0065】D. 第1の実施例の変形例:

(1) 書込信号/MWRのレベルをマスクデータTDATAで制御することによって映像データの書込みを制御する代わりに、ビデオRAM特有の機能であるライトビットモードにおいて、2ポートVRAM212の書込動作をビット単位で禁止するようにしてもよい。

【0066】(2) マスクデータTDATAを映像データの書込み制御に利用する代わりに、映像データをビット反転させて動画の色を変更するために利用することも可能である。図11は、動画映像データをビット反転させる場合の回路構成の一部を示す説明図である。ビット反転回路615は、映像データのビット数と等しい数のEXOR(排他的論理和)回路を備えており、データ出力部(図3参照)の後段に設けられている。各EXOR回路の一方の入力端子にはマスクデータTDATAが与えられており、他方の入力端子には映像データの各ビットの信号が与えられている。マスクデータTDATAが0の時には映像データMDATAはそのままだが、映像データのビット反転回路615を通過するが、マスクデータTDATAが1の時には映像データMDATAの各ビットの値が反転される。この結果、マスクデータTDATAの値が1のドットにおいては映像データMDATAの色が変更される。

【0067】D. DMAコントローラ220内の回路構成の詳細: 図3に示すDMAコントローラ220は、動画映像データのDMA転送時のアドレスを演算する機能を有するとともに、動画表示領域内の映像を垂直方向と水平方向に任意に変更する機能を有している。以下ではこれらの機能とこれに関連する回路の構成について説明

【0068】図12は、図3に示すFIFOメモリユニット318の内部構成を示すブロック図である。図12(A)に示すように、FIFOメモリユニット318は、FIFO制御部321と、2つのFIFOメモリ322、324を備えている。また、図12(B)に示すように、FIFO制御部321は5つのPLL回路325~328、510と波形成形部511とを有している。第1ないし第3のPLL回路325~328は、水平同期信号HSYNCの周波数をNH倍、(NH×H)倍、および、NH倍した信号CLK1、CLK0、DCLKをそれぞれ生成する。また、第4のPLL回路328は、垂直同期信号VSYNCの周波数をNV倍した信号HINCを生成する。第5のPLL回路510は、図12(C)に示すように、水平同期信号HSYNCの周波数をHX倍した信号HSYN、第1の水平同期信号HSYNCのHX倍の周波数を有する同期信号である。なお、各PLL回路内の定数値NH、(NH×H)、NH、NV、HXは、CPU202によって設定され

る。これらのPLL回路325~328は、映像の拡大・縮小を行なうための回路であり、その機能については後述する。

【0069】なお、2つのFIFOメモリ322、324は、所定量の映像データを一時的に記憶する映像データバッファとしての機能を有しており、FIFO制御部321は映像データバッファ制御部としての機能を有している。また、第1のPLL回路325は入力クロック生成手段として、第2のPLL回路326は出力クロック生成手段として、第3のPLL回路327はドットクロック生成手段として、第4のPLL回路328はラインインクリメント信号生成手段としての機能をそれぞれ有している。なお、第2と第4のPLL回路326、328およびFIFOメモリユニット318が協同して、映像を垂直方向に変倍可能な変倍手段としての機能を発揮する。また、第2と第3のPLL回路326、327が協同して、映像データで表わされる映像を水平方向に変倍可能な変倍手段としての機能を発揮する。

【0070】図3に示すように、FIFOメモリユニット318から出力された映像データは、データ出力部314を介してデータバス229上に出される。そして、DMA制御部316がアドレスバス228と、データバス229と、制御バス230の使用権をビデオアクセラレータ210から取得し、映像データMDATAを2ポートVRAM212に転送する。

【0071】図13は、DMAコントローラ220内のDMAアドレス演算部312と、データ出力部314と、DMA制御部316の内部構成を示すブロック図である。データ出力部314は、コンポーネント映像データVDを保持するためのラッチ364を備えている。なお、コンポーネント映像データVDを複数要素分まとめてデータバス229上に出される場合には、シリアルパラレル変換器を備えるようにすればよい。

【0072】DMAアドレス演算部312は、オフセットアドレス記憶部330と、加算アドレス記憶部332と、垂直カウンタ部334と、水平カウンタ部336と、乗算部338と、2つの加算部340、342とを有している。乗算部338は、加算アドレス記憶部332に記憶された加算アドレス値と、垂直カウンタ部334から出力される垂直方向のカウンタ値とを乗算する。第1の加算部340は、オフセットアドレス記憶部330に予め記憶されたオフセットアドレス（後述する）と乗算部338の乗算結果とを加算する。第2の加算部342は、第1の加算部340の加算結果と、水平カウンタ部336のカウンタ値とを加算する。なお、第2の加算部342の出力AD2が、DMA転送時にVRAM212に与えられるアドレスMAPDとなる。第2の加算部342はトライズテスト出力を有している。

【0073】E. データ転送時のアドレス演算：図14は、2ポートVRAM212のメモリマップである。こ

のVRAM212の1ワードは24ビットであり、1ワードに映像データのR成分とG成分とB成分が含まれている。また、画面上の1画素（1ドット）が1ワードに対応している。

【0074】図15は、VRAM212のメモリ空間と画面との対応関係を示す説明図である。この図では、VRAM212の水平レンジ80の画素数は640（50hワード）、垂直レンジ81の走査線本数は199h（=409）である。DMA転送によって画面の映像データが書き込まれる動画領域MPAは、図15に斜線で示すように、垂直方向に2ライン目で水平方向に2画素目の開始位置から、水平方向に2画素の幅を有し、垂直方向に2ラインの幅を有する合計4画素の領域である。なお、動画領域MPAの位置とサイズは、オペレータがカラーCRT300またはカラー液晶ディスプレイ302の画面上で指定する。

【0075】なお、動画領域MPAは矩形の領域であるが、図4において説明したように、マスクデータTDATAの分布に応じてこの動画領域MPA内の一部の領域（すなわち動画表示領域MR）の映像データのみが2ポートVRAM212に書き込まれる。

【0076】図16は、カラーCRT300の画面上における動画領域MPAを示す平面図である。図15に示すメモリ空間は、図16に示すカラーCRT300の表示画面と1:1で対応している。

【0077】以下では簡単にために、動画ウィンドウ（動画表示領域）が動画領域MPAと同一の矩形である場合のDMA転送処理について説明する。動画ウィンドウが矩形でない場合にも以下に示すDMA転送処理の基本的な動作は同じであり、単に、マスクデータTDATAによって2ポートVRAM212への書き込みが制御される点（図4参照）が異なるだけである。

【0078】また、以下ではインターレース走査の行なわれない場合のアドレス演算について最初に説明し、インターレース走査を行なう場合のアドレスの演算については後述する。

【0079】図17は、アドレス演算部312を拡大して示すブロック図である。オフセットアドレス記憶部330に記憶されるオフセットアドレスOFADは、図15において、先頭アドレス0000hから動画領域MPAの書き込み開始位置のアドレス（00051h）までのオフセットの値（51h）である。

【0080】書き込み開始位置のアドレス（=00051h）は、画面上においてオペレータが指定した動画領域MPA（図16）の左上点P1の位置に応じて決定される。オペレータが動画領域MPAを指定すると、CPU202が左上点P1に相当する書き込み開始位置のアドレス（=00051h）を算出し、このアドレス（=00051h）をオフセットアドレスOFADとしてオフセットアドレス記憶部330に設定する。オペレータはカラー

CRT300またはカラー液晶ディスプレイ302の画面上で任意の位置に任意の大きさの動画領域MPAを設定することができる。これに応じてオフセットアドレスOFADが設定される。

【0081】加算アドレス記憶部332に記憶される加算アドレスADADは、メモリ空間における1走査線分の画素数に等しく、この実施例では50hに設定されている。

【0082】乗算器338の出力MULと、2つの加算器340、342の出力AD1、AD2は、それぞれ次の算術式で与えられる。

$$MUL = ADAD \times VCNT \quad \dots(1)$$

$$AD1 = OFAD + MUL \quad \dots(2)$$

$$AD2 = AD1 + HCNT \quad \dots(3)$$

【0083】上記(1)～(3)式をまとめると、各画素に対する第2の加算器342の出力AD2は次の算術式で与えられる。

$$AD2 = (ADAD \times VCNT) + OFAD + HCNT \quad \dots(4)$$

【0084】垂直カウンタVCNTは動画領域MPA内の走査線番号を示している。水平カウンタHCNTは各走査線の左端点から測った位置を画素単位で示しており、本発明における水平アドレス値に相当する。なお、乗算器338の出力MULは、本発明における垂直アドレス値に相当する。

【0085】上記の(4)式は、垂直カウンタVCNTと水平カウンタHCNTで与えられる位置に対応するアドレスAD2を与える式である。なお、この実施例ではADAD=50h、OFAD=51hなので、(4)式は次の(5)式に書き換えられる。

$$AD2 = (50h \times VCNT) + 51h + HCNT \quad \dots(5)$$

【0086】後述するように、動画領域MPA(図16)内の1本の走査線分のDMA転送が終了するたびに垂直カウンタVCNTが1つ増加し、また、同一の走査線上的におい各画素の1ワード分の映像データがDMA転送されるたびに水平カウンタHCNTが1つ増加する。この結果、動画領域MPA内の映像を表わすコンポーネント映像データVDが上記数式(5)で示されるアドレスに従ってVRAM212に書き込まれる。

【0087】F. データ転送の詳細動作: 図18は、図8に示すDMA転送の動作の詳細を示すタイミングチャートである。バックボーチ期間が過ぎ、有効映像期間において第2の水平同期信号XHSYNCがLレベルになると、水平カウンタ部336が0にリセットされて動作開始状態となり、また、垂直カウンタ部334のカウントアップが開始される。ここで、垂直カウンタ部334の動作を理解するために、その内部構成について説明する。

【0088】図19は、垂直カウンタ部334の内部構成と、FIFO制御部321内の関連部分を示すブロック図である。FIFO制御部321のPLL回路327

は、映像デコーダ224から与えられた水平同期信号HSYNCの周波数をNH倍したドットクロック信号DCLKを生成する。また、他のPLL回路328は、垂直同期信号VSYNCの周波数をNV倍したラインインクリメント信号HINCを生成する。ラインインクリメント信号HINCは、後述するように、映像を垂直方向に縮小する際に用いられる。ここではまず、ラインインクリメント信号HINCの周波数が第2の水平同期信号XHSYNCと同じである場合のDMA転送について説明する。ラインインクリメント信号HINCの周波数が第2の水平同期信号XHSYNCと同じである場合には、映像の縮小が行なわれない。

【0089】垂直カウンタ部334は、バックボーチ記憶部402と、比較器404と、バックボーチカウンタ406と、垂直カウンタ408と、ラッチ410とを有している。バックボーチ記憶部402は、CPUバスを介してCPU202から与えられたバックボーチ数BPを記憶する。ここで、バックボーチ数BPはバックボーチ期間における水平同期信号HSYNCのパルス数である。バックボーチカウンタ406には第1の水平同期信号HSYNCが与えられ、ラッチ410のクロック入力端子には第2の水平同期信号XHSYNCが与えられている。また、垂直カウンタ408のクロック入力端子にはラインインクリメント信号HINCが与えられている。また、バックボーチカウンタ406と垂直カウンタ408のリセット入力端子には垂直同期信号VSYNCが与えられている。比較器404は、バックボーチ記憶部402に記憶されたバックボーチ数BPと、バックボーチカウンタ406のカウント値BPとを比較する。

【0090】比較器404の出力CMPはBP=BPの時Hレベルとなり、BP=BPの時Lレベルとなる。また、バックボーチカウンタ406は比較器404の出力CMPがLレベルの時にイネーブルとなり、垂直カウンタ408はCMPがHレベルの時にイネーブルとなる。

【0091】垂直同期信号VSYNCが垂直カウンタ部334に与えられるとバックボーチカウンタ406と垂直カウンタ408とがリセットされる。このとき、比較器404の出力CMPはLレベルなので、バックボーチカウンタ406がイネーブルとなり、水平同期信号HSYNCのパルス数をカウントする。一方、垂直カウンタ408は停止したままである。水平同期信号HSYNCのパルスがバックボーチ数BPと等しい数だけバックボーチカウンタ406に入力されると、BP=BPとなる。この結果、比較器404の出力CMPがHレベルとなり、バックボーチカウンタ406が停止するとともに、垂直カウンタ408のカウントアップを開始する。垂直カウンタ408のカウント値CNTは、第2の水平同期信号XHSYNCの立上がりエッジでラッチ410に保持されて、垂直カウンタVCNTとして出力され

21

る。この垂直カウントVCNTが画面上の走査線番号を示している。なお、垂直方向に縮小を行わない場合には、第2の水平同期信号XHSYNCとラインインクリメント信号HINCの周波数が等しく、従って、垂直カウントVCNTは第2の水平同期信号XHSYNCのパルス数に等しい。

【0092】このように、垂直カウンタ408とラッチ410は、走査線番号を加算する手段としての機能を有している。

【0093】DMA制御部316内の制御信号発生部360(図13)には、FIFO制御部321のPLL回路327(図19)で生成されたドットクロック信号DCLKが与えられている。制御信号発生部360は、このドットクロック信号DCLKに同期して、水平カウンタ部336を制御している。

【0094】図18の期間TT1において、1画素(=1ワード=24ビット)分の映像データMDATAがDMA転送されると、制御信号発生部360がワード同期信号WSYNCを水平カウンタ部336に出力する。なお、制御信号発生部360は、ドットクロック信号DCLKの1パルス毎にワード同期信号WSYNCを1パルス出力している。水平カウンタ部336はワード同期信号WSYNCの各パルスに応じて水平カウンタHCNTを1つカウントアップする。期間TT1では、上記(5)式においてVCNT=0h、HCNT=0hとなるので、AD2=0051hとなる。このアドレスAD2は、図15に示す動画領域MPAの左上部分のアドレスに相当する。

【0095】期間TT2では、VCNT=0h、HCNT=1hとなるので、AD2=A0052hとなる。このアドレスAD2は、図15に示す動画領域MPAの右上部分のアドレスに相当する。

【0096】このように、期間TT1、TT2において、図16の動画領域MPA内の第1番目の走査線L1についての転送が終了する。従って、期間TT2が終了すると、DMA制御部316に走査線の終了と開始を示す第2の水平同期信号XHSYNCが考えられる。なお、この第2の水平同期信号XHSYNCは、図12(B)に示すように、FIFO制御部321内において第1の水平同期信号HSYNCの周波数をHx倍することによって生成された信号である。

【0097】期間TT3の始期を示す第2の水平同期信号XHSYNCのパルスに応じて、垂直カウンタ部334の垂直カウントVCNTが1つ増加してVCNT=1hになるとともに、水平カウンタ部336の水平カウンタHCNTが0にリセットされる。この後は、上記と同様の手順によって、映像データMDATAがVRAM212のアドレス00A1h、00A2hに順次転送される。

【0098】こうして動画領域MPA(図16)内にお

22

けるすべての走査線L1、L2に関するDMA転送が終了すると、垂直同期信号VSYNCに応じて垂直カウンタ部334と水平カウンタ部336が0にリセットされる。この結果、DMAコントローラ220は初期状態に戻り、次のフィールドの映像データが送られてくるまで待機する。

【0099】このように、映像を垂直方向に縮小しない場合には、垂直同期信号VSYNCが与えられるたびに垂直カウンタVCNTと水平カウンタHCNTが0にリセットされ、また、第2の水平同期信号XHSYNCが与えられるたびに垂直カウンタVCNTが1つ増加するとともに水平カウンタHCNTが0にリセットされる。映像を垂直方向に縮小する場合には、第2の水平同期信号XHSYNCとラインインクリメント信号HINCとに応じて垂直カウンタVCNTが増加するが、これについては後述する。

【0100】上述したように、垂直カウンタVCNTは、第2の水平同期信号XHSYNCとラインインクリメント信号HINCとに応じてカウントアップされ、水平カウンタHCNTはワード同期信号WSYNCに応じてカウントアップされる。また、VRAM212上のアドレスは前述の(5)式に従って求められるので、第2の水平同期信号XHSYNCと、ラインインクリメント信号HINCと、ワード同期信号WSYNCとに応じてVRAM上のアドレスが順次更新されていくことになる。この結果、動画領域MPA内における映像を表わす映像データMDATAが約1/60秒ごとにVRAM212に転送されて、動画が表示される。

【0101】G、インターレース走査を行なう場合のアドレス演算：図20は、インターレース走査を行なう場合の奇数ラインフィールドと偶数ラインフィールドのメモリ空間を示す説明図であり、図15に対応する図である。奇数ラインフィールドは、動画領域MPA内の4つのアドレスのうちで2つのアドレス00A1h、00A2hのみを含んでおり、偶数ラインフィールドは他の2つのアドレス0051Ah、0052Aのみを含んでいる。

【0102】インターレースを行なう場合には、オフセットアドレス記憶部330(図13)に奇数ラインフィールド用のオフセットアドレスOFAD1=A1hと偶数ラインフィールド用のオフセットアドレスOFAD2=51hとを登録する。オフセットアドレス記憶部330は、これらの2つのオフセットアドレスOFAD1、OFAD2の一方をフィールド指示信号FISに応じて選択的に出力する。なお、2:1のインターレースの場合には、加算アドレスADADはインターレースが無い場合の値(=50h)の2倍(=A0h)となる。このように、インターレース走査の場合には、オフセットアドレスOFADと加算アドレスADADとを調整することによって、インターレースが無い場合と同様に、上記

(5)式に従って映像データのアドレスを算出できる。

【0103】なお、インターレースを行なうための映像データを転送する場合にも、意図的にインターレースを行わずに同一のアドレスに奇数ラインフィールドと偶数ラインフィールドの映像データを書き込むことも可能である。この場合には、インターレースが無い場合のオフセットアドレスOFADと加算アドレスADADとを、両方のフィールドに共通して使用すればよい。

【0104】上記実施例によれば、DMAコントローラ220内部のアドレス演算部312が1つの演算器と複数の加算器だけで構成されているので、アドレスを高速に演算することができる。さらに、VRAM212以外に映像メモリを必要とせずにDMA転送を実行することができるので、コンピュータシステム全体の回路構成が比較的単純であり、安価に構成できるという利点がある。

【0105】H. 映像の拡大・縮小処理：このコンピュータシステムでは、FIFOメモリユニット318(図12)が映像を拡大・縮小する機能を有している。図21は、垂直方向に拡大する機能を説明する説明図であり、(a)は入力映像データVDI、(b)は出力映像データVD0、(c)は2つのFIFOメモリの動作をそれぞれ示している。但し、図21(a)、(b)では、図示の便宜上、映像データを元のアナログ映像信号VSの形で描いている。

【0106】図21(c)に示すように、2つのFIFOメモリ322、324の入力端子と出力端子は、仮想的なトグルスイッチ323a、323bによって相補的に交互に切換えられている。これらの仮想的なトグルスイッチ323a、323bは、FIFO制御部321から与えられる入力キネープル信号REと出力キネープル信号OEによって、2つのFIFOメモリ322、324の入出力が相補的に交互に切換えられることを等価的に示したものである。2つのFIFOメモリ322、324には、入力クロック信号CLKIと出力クロック信号CLKOとが共通に与えられている。入力クロック信号CLKIの周波数fCLKI(図12(B)参照)から解るように、水平同期信号HSYNCの周波数fHsyncは、入力クロック信号CLKIの周波数fCLKIのH倍(Hは整数)の値である(図12(B)参照)。すなわち、出力クロック信号CLKOを生成するPLL回路326の設定値(NH×H)は、入力クロック信号CLKIを生成するPLL回路325の設定値NHのH倍に設定される。この実施例では、H=3と仮定する。

【0107】図21(a)、(b)の第1の期間TT1と第3の期間TT13では、第1のFIFOメモリ3

22に入力映像データVDIが書き込まれ、第2のFIFOメモリ324から出力映像データVD0が読み出される。第2の期間TT12では、第2のFIFOメモリ324に入力映像データVDIが書き込まれ、第1のFIFOメモリ322から出力映像データVD0が読み出される。この結果、第1の期間TT11では第1の走査線L1に関する映像データが第1のFIFOメモリ322に書き込まれる。また、第2の期間TT12では、第2の走査線L2に関する映像データが第2のFIFOメモリ324に書き込まれる。図21の例は出力クロック信号CLKOの周波数fCLKOが入力クロック信号CLKIの周波数fCLKIの3倍に設定されているので、第2の期間TT12において、第1の走査線L1に関する映像データが第1のFIFOメモリ322から3回読み出される。

【0108】図22は、映像の垂直方向の拡大と縮小の様子を示す説明図である。図22(A)は入力映像データVDIを示し、図22(B)は出力映像データVD0を示している。出力映像データVD0では、入力映像データVDIの各走査線がそれぞれH×(=3)回ずつ繰り返されており、これによって映像が垂直方向にH×(=3)倍に拡大されている。図22(B)において、例えば「L1a」、「L1b」、「L1c」は、元の走査線L1の映像データが3回繰り返して出力されていることを示している。このように、2つのFIFOメモリ322、324を用いて出力クロック信号CLKOの周波数fCLKOを入力クロック信号CLKIの周波数fCLKIの整数倍に設定することによって、映像を垂直方向に整数倍で拡大することが可能である。

【0109】垂直方向の縮小は、図19に示すFIFO制御部321内のPLL回路328と、垂直カウンタ部334内の垂直カウンタ408およびラッチ410によって実現される。図23は、垂直方向の縮小動作を示すタイミングチャートである。PLL回路328で生成されるラインインクリメント信号HINC(図23(a))は、垂直同期信号VSYNCの周波数fVsyncのNV倍の周波数fHincを有している。第2の水平同期信号HSYNC(図23(c))は、垂直同期信号VSYNCの周波数fVsyncの(NV×H)倍の周波数fHsyncを有しており、NVの値は元のアナログ映像信号VSにおける1フィールドの走査線数(以下、「全画面ライン数」と呼ぶ)を示す一定値(NTSC信号の場合にはNV=262.5)である。なお、図24(A)、(B)に示すように、アナログ映像信号VSで表わされる映像の全画面ライン数をNV0、有効画面ライン数をNVLとし、その映像をディスプレイバスに表示する際の表示ライン数をNVHとすると、PLL回路328の設定値NVは次式で与えられる。

$$NV = NVH \times H \times NVL / (H \times NVL) \\ = NVH \times NVL / NVL$$

ただし、 $NV \leq HX * NVL$ である。

【0110】上式において、例え、 $NV0 = 262$ 、

5、 $NVL = 240$ 、 $NV = 480$ を代入すれば、 $NV = 525$ となる。

【0111】垂直カウンタ408（図19）は、ラインインクリメント信号HINCの立上りエッジに応じてカウンタCNT（図23（b））をカウンタアップし、また、ラッチ410は第2の水平同期信号HSYNCの立上りエッジに応じて垂直カウンタ408のカウンタCNTをラッチして垂直カウンタVCNT（図23（d））として出力する。

【0112】図23の例では、ラインインクリメント信号HINCの周波数fHINCと第2の水平同期信号HSYNCの周波数fHSYNCの比（ $NV / NV0 * HX$ ）は2/3であり、これに応じて、垂直カウンタVCNT（図23（d））は0、1、2、2、3、4、4、5…のように、2つ目毎に同じ値が1回繰り返される。垂直カウンタVCNTはVRAM212における垂直アドレスを示しているので、3番目の垂直アドレスVCNT=2には、3番目の走査線L1cの映像データと4番目の走査線L2aの映像データが書き込まれることになる。この結果、3番目の垂直アドレスVCNT=2に最初に書き込まれた走査線L1cの映像データは、次の走査線L2aの映像データに置き換えられる。これが繰り返されると、3の倍数の位置にある走査線の映像データが間引かれて、垂直方向に縮小される結果となる。

$$MH = fCLK / fCLK0 = fCLK / (HX * fCLKI) \quad \dots (7)$$

【0115】さらに、図12（B）からも解るように、入力クロック信号CLKIの周波数fCLKIは、水平同期信号HSYNCの周波数fHSYNCのNH0倍であり、fHSYNC、NH0は定数である。また、ドットクロック信号DCLKは、水平同期信号HSYNCの周波数fHSYNCのNH倍の周波数を有する。従って、上記（7）式は、次のように書き換えられる。

$$\begin{aligned} MH &= fCLK / (HX * fCLKI) \\ &= fHSYNC * NH / (HX * fHSYNC * NH0) \\ &= NH / (HX * NH0) \quad \dots (8) \end{aligned}$$

【0116】垂直倍率MVを示す（8）式と水平倍率MHを示す（8）式において、CPU202から設定できる値は、HX、NV、NHの3つであり、これらはいずれもFIFO制御部321内の設定値である。これらの3つの値HX、NV、NHは、例えば次の式で決定される。

$$【0117】HX = RND(MV) \quad \dots (9a)$$

$$NV = NV0 * MV \quad \dots (9b)$$

$$NH = NH0 * MH * HX \quad \dots (9c)$$

ここで、演算子RNDは、括弧内の数値の小数点以下を切り上げた整数を示している。

【0118】なお、（9b）、（9c）式は、整数HXとしてどのような値を用いても成立するので、整数HX

・【0113】図22（B）、（C）には、図23の動作によって映像が垂直方向に縮小される様子が示されている。2つのFIFOメモリ322、324の切替によってHX倍に拡大された映像データVD0は9つの走査線L1a～L3cに亘っているが、この中で、3番目の走査線L1cの映像データはその次の走査線L2aの映像データで置き換えられ、また、6番目の走査線L2cの映像データもその次の走査線L3aの映像データで置き換えられる。この結果、映像が垂直方向にNV/（NV0 * HX）倍される。なお、2つのFIFOメモリ322、324によって映像データが予め垂直方向にHX倍に拡大されているので、総合的な垂直方向の倍率MVは次式で与えられる。

$$MV = NV / NV0 \quad \dots (6)$$

【0114】映像の水平方向の拡大・縮小の倍率MHは、映像データをVRAM212に書き込む際のドットクロック信号DCLK（図19）の周波数fDCLKと、FIFOメモリ322、324から映像データを読み出す際の出力クロック信号CLKO（図21（c））の周波数fCLKOとの比fDCLK/fCLKOに等しい。図21において述べたように、出力クロックCLKOの周波数fCLKOは、入力クロック信号CLKIの周波数fCLKIのHX倍であり、入力クロック信号CLKIはコンポジット映像信号VSの周波数特性に応じた一定値である。従って、水平方向の倍率MHは、次の（7）式で与えられる。

の値を（9a）式以外の式で決定することも可能である。

【0119】図24（A）は元のコンポジット映像信号VSで表わされる映像ORを示しており、図24（B）は拡大・縮小後の映像MRを記憶するVRAM空間を示している。ここでは、水平方向の最大画素数780、有効画素数640、垂直方向の最大ライン数525、有効ライン数480としている。VRAM空間における映像MRは、カラーCRT300やカラー液晶ディスプレイ302にそのまま表示される。従って、垂直方向の倍率MVと水平方向の倍率MHは、ディスプレイバース上で設定された映像表示用ウィンドウのサイズと元の映像ORのサイズとの比に等しい。CPU202は、ディスプレイバース上に設定された映像表示用ウィンドウのサイズから倍率MV、MHを算出し、さらに、上記（9a）～（9c）に従って3つの値HX、NV、NHを算出して、FIFO制御部321内に設定する。

【0120】このように、上記第1の実施例では、VRAM212に映像データをDMA転送する際に、映像を任意の倍率で拡大・縮小することができる。また、映像の表示位置もアドレス演算部312によって任意に設定できるので、ディスプレイバースの任意の位置に任意の倍率で動画を表示することが可能である。

【0121】1. DMA転送回路の要部例: DMA転送に関連する回路の構成に関しては、マシクデータTDA、TDAに関連する部分以外についても以下のような種々の変形が可能である。

【0122】映像メモリとしては、2つ以上のポートを有する任意のRAMを用いることが可能である。また、実際には1ポートのみのRAMであっても、ポートの入出力を切換えるようにして2ポートRAMと等価な機能を実現したものも映像メモリとして使用することも可能である。

【0123】RGB各色の色信号(コンポーネント映像信号)でなく、NTSC方式によるYUV信号などの他の方式の映像信号を処理する場合についても本発明を適用することが可能である。

【0124】この発明は、圧縮されたデジタル映像データを伸長してVRAM内へ書き込む場合にも適用することができる。この場合には、DMAコントローラ220とA-D変換器222の間にあるデジタル映像データDSSの入力ポート(「CD-ROM」と記されている)には、画像伸長部からのデジタル映像データを入力すればよい。

【0125】上述した(4)式で与えられるアドレスAD2を算出する回路としては、上記実施例以外の種々の構成が考えられる。例えば、DMAコントローラ220中の加算器を減算器に置き換えて、加算順序を変更せたりしても同様の結果が得られる。

【0126】また、図13に示す乗算器338を、加算器とカウンタアップ用カウンタとで置き換えて、加算アドレス直記部332に記憶された加算アドレスADADを垂直カウンタ部334の垂直カウンタVCNTの回数だけ加算するようにしてもよい。

【0127】図25に示すように、図19におけるPLL回路328を1/N分周器329で置き換えることも可能である。この1/N分周器329は、垂直同期信号VSYNCによりリセットされ、リセットされた後にドットクロック信号DCLKを1/Nに分周してラインインクリメント信号HINCを生成する。このように1/N分周器329を用いると、PLL回路を用いた場合よりもラインインクリメント信号HINCのジッタを少なくすることができるという利点がある。

【0128】図26は、3つのFIFOメモリを用いて垂直方向の拡大とともに走査期間の補間を行なう回路の構成と動作を示す説明図であり、図21に対応する図である。図26(c)に示すように、この回路は、3つのFIFOメモリ421、422、423と、3つの等価的なスイッチ431、432、433と、2つの乗算器441、442と、加算器450とを含んでいる。図26(a)、(b)に示すように、各期間TT21、TT22、TT23では、1つのFIFOメモリに1走査線分の映像データが書き込まれ、他の2つのFIFOメモリ

りから映像データが読み出される。映像データが書き込まれるFIFOメモリと映像データが読み出されるFIFOメモリは、所定の順番で選択される。図26(c)は、第3の期間TT23の前半におけるスイッチの接続状態を示している。この時、第1のFIFOメモリ421から読み出された第1の走査線L1の映像データは第1の乗算器441でk1倍され、第2のFIFOメモリ422から読み出された第2の走査線L2の映像データは第2の乗算器442でk2倍される。2つの乗算器441、442の出力は加算器450で加算されるので、期間TT23の前半において加算器450から出力される出力映像データVD0は、 $(L1 * k1 + L2 * k2)$ となる(図26(b))。ここで、係数k1、k2をともに0.5とせば、期間TT23の前半における出力映像データVD0は、2本の走査線L1、L2の映像データを単純平均したデータとなる。k1、k2を0でない適当な値に設定すれば、重み付き平均を得ることができる。なお、期間TT23の後半では、第2の走査線L2の映像データがそのまま出力映像データVD0として出力される。

【0129】また、垂直方向を拡大させるためのFIFOメモリユニット318と同様に機能するFIFOメモリユニットをA-D変換器222と色調整部320の間に設けることによって、垂直方向の拡大と補間に関する同様な効果を得られる。この場合には、図12(A)のFIFOメモリユニット318は映像データVDの垂直方向の拡大を行わず、データ転送のタイミングを調整する回路として使用される。

【0130】本発明において、「映像を垂直方向に拡大する」という用語は、図21のように単純に拡大する場合に限らず、図26のように垂直方向に補間しつつ拡大する場合も意味している。

【0131】なお、複数のFIFOメモリの代わりにRAMなどの他のタイプの映像データバッファを用いることによってFIFOメモリユニットと等価な機能を有する回路を構成することも可能である。一般には、複数の映像データバッファとバッファ制御回路を設け、バッファ制御回路によって複数の映像データバッファを所定の順番で切換えることによって、上述したFIFOメモリユニットの機能を実現することが可能である。

【0132】図12(B)のPLL回路325と等価な機能は、PLL回路326で得られた信号CLKOを入力として(1/NH)で分周出力し、水平同期信号HSYNCでリセットする回路を用いても実現できる。このように、図12(B)ではPLL回路を複数用いているが、分周回路等の組み合わせによって等価な回路を実現することも可能である。

【0133】図3の色調整部320は、デジタル映像信号DSをYUV信号で受けて色相変換を行なった後、コンポーネント映像データVDをRGB信号として出力す

る回路として構成してもよい。

【0134】なお、図3に示すDMAコントローラ220の回路の一部(例えばDMAアドレス演算部312やDMA制御部316)を、ビデオアクセラレータ210に含むようにすることも可能である。

【0135】J. 第2の実施例: 図27は、この発明の第2の実施例としてのコンピュータシステムの構成を示すブロック図である。このコンピュータシステムは、図1のシステムに第2の映像メモリとしてのVRAM520と、映像データ交換手段としてのDOS表示制御部522とを追加した構成を有している。

【0136】第2の実施例のコンピュータシステムは、2つのオペレーティングシステム(以下「OS」と呼ぶ)の管理下で動作しており、第1の映像メモリとしての2ポートVRAM212は第1のOS(例えばMS-Windows(マイクロソフト社の商標))によって管理され、第2の映像メモリとしてのVRAM520は第2のOS(例えばMS-DOS(マイクロソフト社の商標))によって管理されている。

【0137】2つのVRAM212、520に記憶される映像データの形式は、以下に示すように互いに異なっている。2ポートVRAM212に記憶される映像データは、表示デバイス(カラーCRT300およびカラー液晶ディスプレイ302)の各ドット毎にRGBの各色を8ビットで表わしたビットマップデータである。VRAM520は、テキストVRAMとグラフィックVRAMとを併用している。テキストVRAMには、映像が文字である場合には文字を表わす文字コードと、各文字の属性(文字の色、反転表示、ブリンク表示等)を表わすアトリビュートデータとが記憶される。アトリビュートデータでは、例えば文字の色は3ビットによって8色のうちの1色が指定されている。グラフィックVRAMには、そのグラフィックをドット毎に表わすビットマップデータが記憶される。グラフィックのビットマップデータは、3ビットで8色中の1色を指定する場合や、4ビットで16色中の1色が指定する場合がある。

【0138】DOS表示制御部522は、VRAM520に記憶された映像データを、2ポートVRAM212に記憶される映像データの形式に変換する映像データ交換手段としての機能を有している。具体的には、DOS表示制御部522は、文字コードとビットマップデータに変換するキャラクタジェネレータと、文字に属性を与えるアトリビュートジェネレータと、グラフィックデータの色を変換するカラーパレットと、文字画像とグラフィックとを合成するビデオマルチプレクサとしての機能を有している。DOS表示制御部522によって変換された映像データは、DMAコントローラ220によって2ポートVRAM212に高速に転送される。

【0139】図28は、VRAM520から2ポートVRAM212へのデータの転送経路を示す説明図であ

る。図28(A)に示すように、VRAM520に記憶された映像データは、DOS表示制御部522によってデータ形式を変換されてDMAコントローラ220に与えられる。DMAコントローラ220は、DOS表示制御部522またはA-D変換部222から与えられた映像データを、第1の実施例において詳述した手順によって2ポートVRAM212に転送する。なお、2ポートVRAM212に記憶された映像データは、表示デバイスに与えられる。図28(B)に示すように、VRAM520に対応する表示領域は、2ポートVRAM212に対応する表示領域よりも小さいことが好ましい。この場合には、VRAM520に記憶された映像が表示デバイスの画面の一部に表示される。なお、図28(B)のようなVRAM520のための表示領域は、MS-WindowsにおいてDOS-BOXと呼ばれているものである。

【0140】上記の第2の実施例では、2ポートVRAM212内の映像データとはデータ形式(データ構造)が異なるVRAM520内の映像データを、データ形式を変換しつつDMAコントローラ220によって2ポートVRAM212に高速に転送することができるという利点がある。また、データ形式の変換をハードウェアであるDOS表示制御部522で行なっているため、CPU202を使用して変換する場合に比べて高速に変換することができる。さらに、VRAM520の表示画面中の映像に関して、上述した拡大・縮小を行なうことができるという利点もある。

【0141】なお、第2の実施例では、2つのVRAM212、520が異なるOSによって管理されているものとしたが、これに限らず、2つ以上のVRAMが異なるデータ形式の映像データを記憶するものである場合に本発明を適用することが可能である。

【0142】上記の各実施例ではビデオアクセラレータ210を有するコンピュータシステムについて説明したが、ビデオアクセラレータを含まないコンピュータシステムにも本発明を適用することが可能である。

【0143】

【発明の効果】以上説明したように、請求項1に記載した発明によれば、動画書き込み領域を示すスクリーンに於いて動画映像データをフレームメモリに書き込むので、任意の形状の動画書き込み領域内の動画映像データをフレームメモリに転送でき、また、データ転送手段がフレームメモリに転送時のアドレスを供給して動画映像データを転送するので、動画映像データを高速に転送することができる。

【0144】請求項2に記載した発明によれば、ビット数の多い動画映像データやアドレスを制御する方法に比べて簡単な回路構成で、フレームメモリへの動画映像データの書き込みを許可したり禁止したりすることができる。

【0145】請求項3に記載した発明によれば、書き込み

号のレベルを容易に調整することができる。

【0146】請求項4に記載した発明によれば、表示デバイスの画面上において動画表示領域の状態が更新されるとマスクデータ更新手段がマスクデータを更新するので、表示デバイスの画面における動画表示領域の状態に応じて動画を表示することができる。

【0147】請求項5に記載した発明によれば、転送アドレスが第1の演算手段と第2の演算手段とによる算術演算によって算出されるので、フレームメモリのアドレスを高速に算出でき、映像データを高速に転送することができる。

【0148】請求項6に記載した発明によれば、複数の映像データバッファを用いて動画映像データの転送のタイミングを調整できる。

【0149】請求項7に記載した発明によれば、ラインインクリメント信号生成手段におけるNVの値を調整することによって、動画を垂直方向に縮小できる。

【0150】請求項8に記載した発明によれば、出力クロック生成手段におけるHXの値を調整することによって、動画を垂直方向に拡大できる。

【0151】請求項9に記載した発明によれば、ドットクロック生成手段におけるNHの値を調整することによって動画を水平方向に拡大および縮小できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例としてのコンピュータシステムを示すブロック図。

【図2】2ポートVRAM212とマスクデータRAM213の構成を示す説明図。

【図3】DMAコントローラ220の内部構成を示すブロック図。

【図4】マスクデータを利用して任意の形状の表示領域内の映像データMDATAを2ポートVRAM212にDMA転送する方法を示す説明図。

【図5】マスクデータRAM213へのマスクデータの書き込み動作のタイミングチャート。

【図6】マスクデータの更新処理の手順を示すフローチャート。

【図7】表示デバイスに表示された映像を示す説明図。

【図8】垂直方向のDMA転送の動作を示すタイミングチャート。

【図9】水平方向のDMA転送の動作を示すタイミングチャート。

【図10】図9のA部の詳細を示すタイミングチャート。

【図11】動画映像データをビット反転させる場合の回路構成の一部を示す説明図。

【図12】FIFOメモリユニット318の内部構成を示すブロック図。

【図13】DMAアドレス演算部312とデータ出力部314とDMA制御部316の内部構成を示すブロック

図。

【図14】2ポートVRAM212のアドレスマップ。

【図15】2ポートVRAM212と画面との対応関係を示す説明図。

【図16】カラーモニタの画面内の動画領域MPAを示す平面図。

【図17】DMAコントローラ220内のアドレス演算部312を拡大して示すブロック図。

【図18】DMA転送の動作の詳細を示すタイミングチャート。

【図19】垂直カウンタ部334およびFIFO制御部321の内部構成を示すブロック図。

【図20】インターレース変換を行なう場合の奇数ラインフィールドと偶数ラインフィールドのメモリ空間を示す説明図。

【図21】映像の垂直方向の拡大動作を示す説明図。

【図22】映像の垂直方向の拡大と縮小の様子を示す説明図。

【図23】映像の垂直方向の縮小動作を示すタイミングチャート。

【図24】映像の垂直方向と水平方向の拡大・縮小の様子を示す説明図。

【図25】第2のPLL回路328を1/N分周器で置き換えた場合の回路構成を示すブロック図。

【図26】3つのFIFOメモリを用いて垂直方向の拡大とともに走査線間の補間を行なう構成と動作を示す説明図。

【図27】本発明の第3の実施例としてのコンピュータシステムの構成を示すブロック図。

【図28】第3の実施例における映像データの転送経路を示す説明図。

【図29】従来のDMAコントローラを用いたコンピュータシステムのブロック図。

【図30】従来技術によって静止画Sil、Sibと動画MIとを同時に表示した場合を示す説明図。

【符号の説明】

51R、51G、51B…映像メモリ

52…データバス

53…アドレスバス

54…制御バス

55…DMAコントローラ

56R、56G、56B…VRAM

モニタ57…制御部

59…CPU

60…水平レンジ

61…垂直レンジ

201…CPUバス

202…CPU

204…RAM

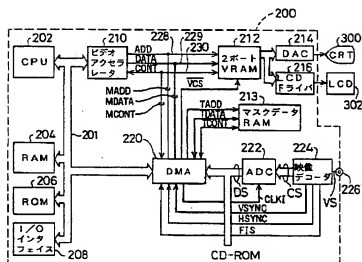
206…ROM

208...I/Oインタフェイス
 210...ビデオアクセラレータ
 212...2ポートVRAM (フレイムメモリ)
 213...マスクデータRAM
 214...D-A変換器
 216...LCDドライバ
 220...DMAコントローラ
 222...A-D変換器
 224...映像デコーダ
 226...映像入力端子
 228...アドレスバス
 229...データバス
 230...コントロールバス
 230...制御バス
 300...カラーCRT
 302...カラー液晶ディスプレイ
 310...CPUインタフェイス
 312...DMAアドレス演算部
 314...データ出力部
 316...DMA制御部
 318...FIFOメモリユニット
 320...色調整部
 321...FIFO制御部 (映像データバッファ制御手段)
 322, 324...FIFOメモリ (映像データバッファ)
 323a, 323b...トグルスイッチ
 325...PLL回路 (入力クロック生成手段)
 326...PLL回路 (出力クロック生成手段)
 327...PLL回路 (ドットクロック生成手段)
 328...PLL回路 (ラインインクリメント信号生成手段)
 330...オフセットアドレス記憶部
 332...加算アドレス記憶部
 334...垂直カウンタ部 (走査線番号生成手段)
 336...水平カウンタ部
 338...乗算器
 340, 342...加算器
 360...制御信号発生部
 362...バス制御部
 364...ラッチ
 402...バックボート記憶部
 404...比較器
 406...バックボートカウンタ
 408...垂直カウンタ
 410...ラッチ
 421, 422, 423...FIFOメモリ
 431, 432, 433...スイッチ
 441, 442...乗算器
 450...加算器

460...アクセラレータユニット
 462...CPUインタフェイス
 470...画像処理ユニット
 471...データバス
 472...制御バス
 474...画像形成制御部
 510...PLL回路
 511...波形成形部
 520...VRAM
 522...DOS表示制御部
 604...RAM切換部
 606...ORゲート
 608...アドレス切換部
 610...3ステートORゲート
 612, 614...3ステートバッファ
 AD2...アドレス
 ADAD...加算アドレス
 BP...バックボート数
 BPC...カウンタ値
 CLKI...入力クロック信号
 CLKO...出力クロック信号
 CNT...カウンタ値
 DCLK...ドットクロック信号
 FIS...フィールド指示信号
 HCNT...水平カウンタ
 HINC...ラインインクリメント信号
 HSYNC...水平同期信号
 HX...垂直拡大倍率
 INTACK...転送許可信号
 L1~L3...走査線
 MH...水平倍率
 MV...垂直倍率
 MADD...DMAアドレス
 MCONT...コントロール信号
 MDATA...動画映像データ
 MPA...動画領域
 OFAD...オフセットアドレス
 TADD...マスクデータRAM213のアドレス
 TCONT...コントロール信号
 TDATA...マスクデータ
 VCNT...垂直アドレス
 VD...コンポーネント映像データ
 VS...コンポジット映像信号
 VSYNC...垂直同期信号
 WINT...割り込み信号
 WSYNC...ワード同期信号
 /DMAACK...DMA許可信号
 /DMARQ...DMA要求信号
 /MWE...書き込み信号
 /MWR...読み出し信号

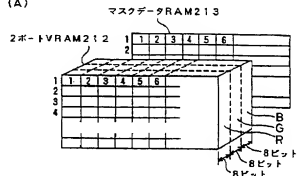
/TCS…セレクト信号
 /TCS S…マスクデータRAM213のチップセレクト信号
 /VCS…2ポートVRAM212のチップセレクト信号
 /CLKI…FIFOの入カクロック信号CLKIの周波数

【図1】



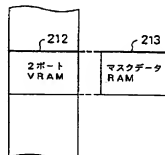
【図2】

(A)

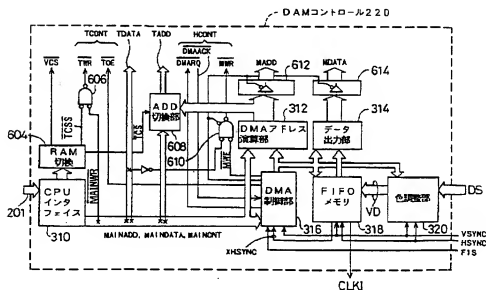


(B)

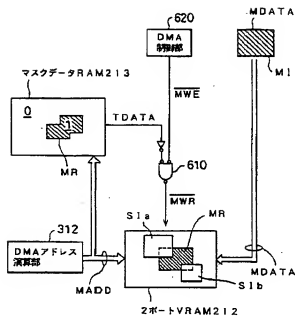
メモリマップ



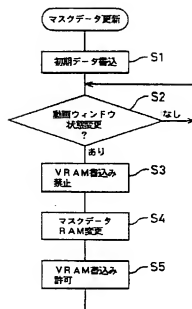
【図3】



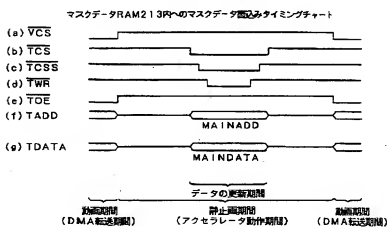
【図4】



【図6】

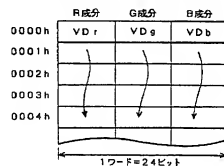


【図5】

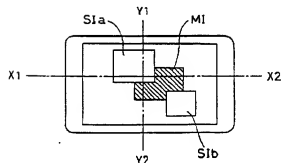


【図14】

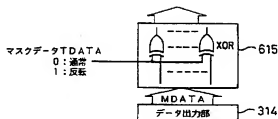
2ポートVRAM212のアドレスマップ



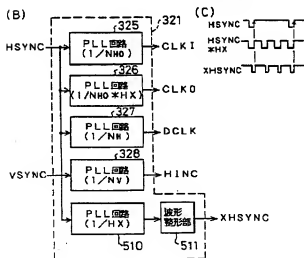
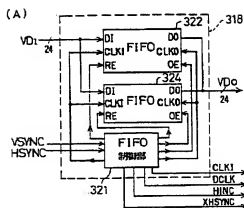
【図7】



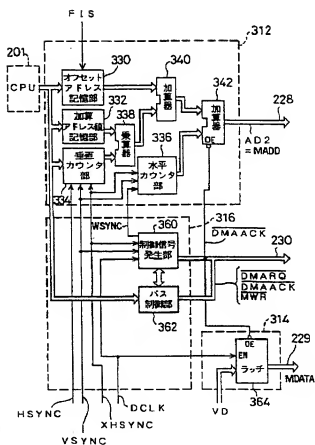
【図11】



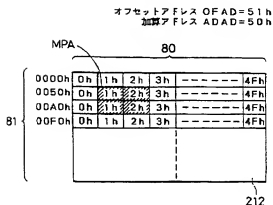
【图 1-2】



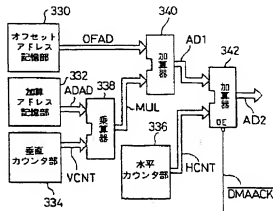
【圖 13】



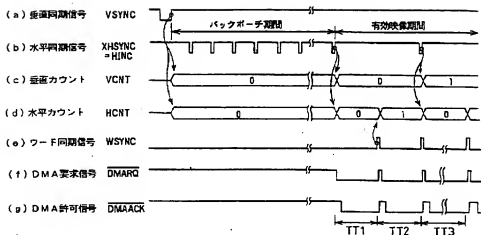
【圖 15】



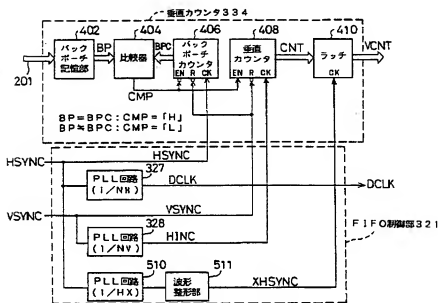
【圖 17】



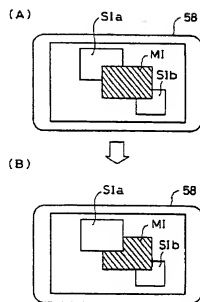
【図18】



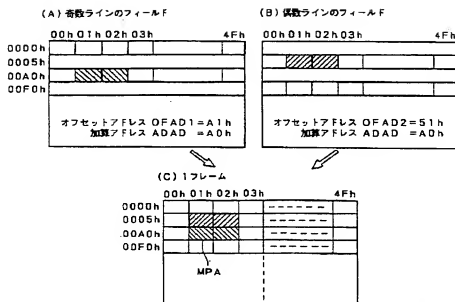
【図19】



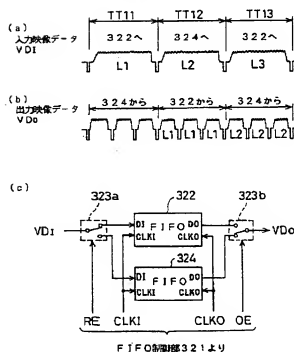
【図30】



【図 20】

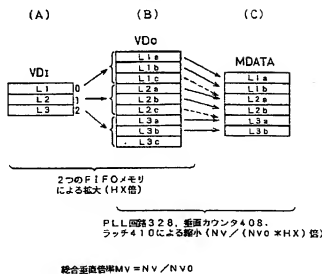


【図 21】



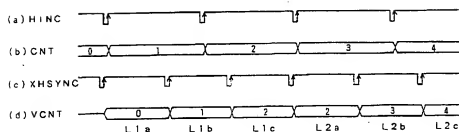
$$f_{CLKO} = HX \times f_{CLKI} \\ = 3 \times f_{CLKI}$$

【図 22】



【図 23】

垂直方向の最小動作 ($NV / (NV0 \times HX) = 2/3$ の場合)



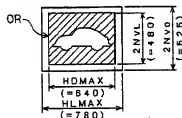
$$f_{HINC} = f_{VSYNC} \times NV$$

$$f_{XHSYNC} = f_{VSYNC} \times NV0 \times HX \quad (NTSC \text{ 信号では } NV0 = 262.5)$$

$$\text{垂直方向周波数} = f_{HINC} / f_{XHSYNC} = NV / (NV0 \times HX)$$

【図 24】

(A) 映像信号による映像



(B) VRAM空間

MV: 垂直倍率, MH: 水平倍率

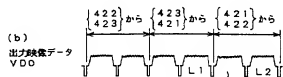
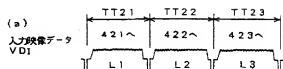


PLL回路327の固定値 $NH = NH0 \times MH \times HX$

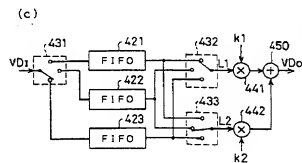
$$\text{PLL回路328の固定値 } NV = \frac{MV \times NVL}{NVL} \times NV0 = MV \times NV0$$

$$NH0 = \frac{f_{CLKI}}{f_{HSYNC}}, \quad NV0 = \frac{f_{HSYNC}}{f_{VSYNC}}$$

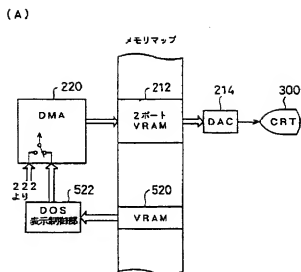
【図 26】



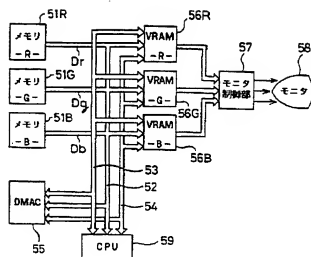
$$(L1 \times k1 + L2 \times k2)$$



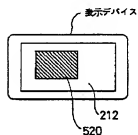
【図 28】



【図 29】



(B)



フロントページの続き

(51)Int.Cl.⁶

識別記号 序内整理番号

F I

技術表示箇所

G 0 6 T 1/00

H 0 4 N 5/907

B

5/92

H 0 4 N 5/92

H